

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-125077
 (43)Date of publication of application : 17.05.1996

(51)Int.CI. H01L 23/36
 H01L 21/301

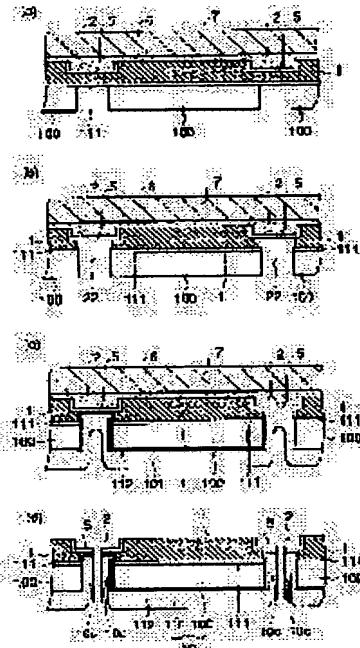
(21)Application number : 06-262499 (71)Applicant : MITSUBISHI ELECTRIC CORP
 (22)Date of filing : 26.10.1994 (72)Inventor : OZAKI KATSUYA

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE AND THE SAME DEVICE

(57)Abstract:

PURPOSE: To prevent a metal layer in the chip isolating groove of a semiconductor substrate front surface side from contacting the rear polished surface of the substrate and to further improve the mechanical strength of coupling between semiconductor chips after a PHS layer is formed by suppressing the crack of the substrate due to a plating protrusion.

CONSTITUTION: A semiconductor substrate 1 is etched with a first PHS layer 100 formed on the rear surface of the substrate 1 reduced in thickness by polishing or thinning the rear surface as a mask, a second chip isolating groove 2 is formed on the region of the substrate front surface side corresponding to the groove 2, and a second PHS layer 101 is formed on the entire rear surface of the substrate. Thus, since the thickness of a metal layer 5 in a first groove is thin 1μm or less, its crack can be suppressed. Since the layer 5 is not brought into contact with the polished rear surface of the substrate, the damage of the metal layer can be prevented. Further, since the second PHS layer is formed on the entire rear surface of the substrate, the strength of mechanical bond between the chips is also improved.



LEGAL STATUS

[Date of request for examination] 06.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3374880

[Date of registration] 29.11.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-125077

(43)公開日 平成8年(1996)5月17日

(51)Int.Cl.[®]

H 01 L 23/36
21/301

識別記号

序内整理番号

F I

技術表示箇所

H 01 L 23/ 36
21/ 78

Z
Q
S

審査請求 未請求 請求項の数25 O L (全 40 頁)

(21)出願番号 特願平6-262499

(22)出願日 平成6年(1994)10月26日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 小崎 克也

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社光・マイクロ波デバイス開発研究
所内

(74)代理人 弁理士 早瀬 審一

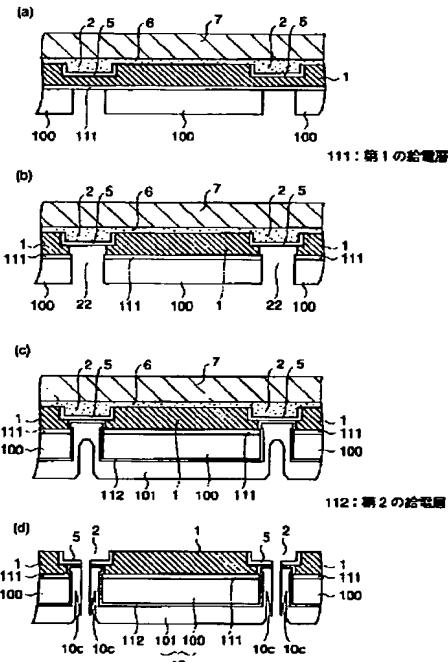
(54)【発明の名称】 半導体装置の製造方法、及び半導体装置

(57)【要約】

【目的】 メッキ突起に起因する半導体基板のクラックの発生を抑制し、半導体基板表面側チップ分離溝内金属層の半導体基板裏面研磨面への接触を防止し、さらにP H S層形成後の半導体チップ間の結合の機械的強度を向上させる。

【構成】 裏面の研磨または薄板化加工により薄板化された半導体基板1の裏面に形成した第1のP H S層100をマスクとして半導体基板1をエッチングし、半導体基板表面側の第1チップ分離溝2に対応する領域に第2チップ分離溝22を形成した後、半導体基板裏面側の全面に第2のP H S層101を形成する。

【効果】 第1溝内金属層5の厚さが1μm以下と薄いため、上記クラックの発生を抑制でき、第1溝内金属層5が半導体基板裏面の研磨面に接触しないため、該金属層の破損を防止でき、さらに第2P H S層が半導体基板裏面側の全面に形成されているため、半導体チップ間の機械的結合の強度も良好なものとなる。



1

【特許請求の範囲】

【請求項1】 その表面に複数の半導体素子が形成された半導体基板の所要の位置に、該半導体基板を各々1つの上記半導体素子を有する複数の半導体チップに分離するための第1のチップ分離溝を、その深さが上記半導体基板の裏面を研磨または薄板化加工した後に得られる該半導体基板の所定の厚さ以下となるように形成する工程と、

該第1チップ分離溝の内面に第1の溝内金属層を形成する工程と、

上記半導体基板の裏面を研磨または薄板化加工し、その厚さを上記所定の厚さとする工程と、

上記第1チップ分離溝に対応する上記半導体基板の裏面の領域を上記第1溝内金属層の底面が露出するまでエッティングし、第2のチップ分離溝を形成することにより上記半導体基板を複数の上記半導体チップに分離する工程と、

該第2チップ分離溝の内面に、PHS層を構成する金属より硬い金属からなる第2の溝内金属層を形成する工程と、

上記第2チップ分離溝を含む上記半導体基板の裏面側の全面に、放熱のための金属層であるPHS層を形成する工程と、

上記第1チップ分離溝内において上記第1溝内金属層、上記第2溝内金属層及び上記PHS層を切断することにより、各々上記半導体チップと、その裏面側に設けられた上記PHS層とからなる複数の半導体装置を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 請求項1に記載の半導体装置の製造方法において、

上記PHS層を形成する工程は、上記半導体基板の裏面側の上記第2チップ分離溝以外の領域内に放熱のための金属層である第1のPHS層を形成した後、該第1PHS層を含む半導体基板の裏面側の全面に放熱のための金属層である第2のPHS層を形成するものであることを特徴とする半導体装置の製造方法。

【請求項3】 その表面に複数の半導体素子が形成された半導体基板の所要の位置に、該半導体基板を各々1つの上記半導体素子を有する複数の半導体チップに分離するための第1のチップ分離溝を、その深さが上記半導体基板の裏面を研磨または薄板化加工した後に得られる該半導体基板の所定の厚さ以下となるように形成する工程と、

該第1チップ分離溝の内面に第1の溝内金属層を形成する工程と、

上記半導体基板の裏面を研磨または薄板化加工し、その厚さを上記の所定の厚さとする工程と、上記第1チップ分離溝に対応する上記半導体基板の裏面の領域を上記第1溝内金属層の底面が露出するまでエッティングし、第2のチップ分離溝を形成することにより上記半導体基板

2

を複数の上記半導体チップに分離する工程と、該第2チップ分離溝の内面に、PHS層を構成する金属より硬い金属からなる第2の溝内金属層を形成する工程と、

上記半導体基板の裏面側の第2チップ分離溝が形成された領域に、PHS層を構成する金属より硬い金属からなり、その厚さがPHS層とほぼ同じである硬質金属層を形成する工程と、

上記半導体基板の裏面側の全面に放熱のための金属層であるPHS層を形成する工程と、

上記PHS層の裏面を上記硬質金属層の裏面が露出するまで研磨または薄板化加工し、平坦化する工程と、上記第1チップ分離溝内において上記第1溝内金属層、上記第2溝内金属層及び上記硬質金属層を切断することにより、各々上記半導体チップと、その裏面に設けられた上記PHS層と、該PHS層の側面全周に突出して設けられた上記硬質金属層からなる複数の半導体装置を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】 請求項3に記載の半導体装置の製造方法において、

上記第2溝内金属層を形成する工程の前に、上記半導体基板の裏面側の全面に、上記硬質金属層を構成する金属より軟らかい金属からなり、上記硬質金属層の切断を容易にするための緩衝金属層を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項5】 請求項3に記載の半導体装置の製造方法において、

上記第2チップ分離溝を形成する工程は、上記硬質金属層の厚さより厚いレジストを上記半導体基板の裏面の上記第1チップ分離溝に対応する領域以外の領域に形成し、該レジストをマスクとして上記第1溝内金属層の底面が露出するまで、上記半導体基板をエッティングするものであり、

上記第2溝内金属層を形成する工程は、上記レジストをマスクとして上記第2溝内金属層を選択メッシュにより上記第2チップ分離溝内に形成するものであり、上記第2溝内金属層を形成する工程の後、上記硬質金属層を形成する工程の前に、上記レジストをマスクとして、上記第2溝内金属層の裏面に、上記硬質金属層を構成する金属より軟らかい金属からなり、上記硬質金属層の切断を容易にするための緩衝金属層を選択メッシュにより形成する工程を含み、

上記硬質金属層を形成する工程は、上記レジストをマスクとして上記硬質金属層を選択メッシュにより上記第2溝内金属層の裏面に形成した後、上記レジストを除去するものであることを特徴とする半導体装置の製造方法。

【請求項6】 請求項3ないし5のいずれかに記載の半導体装置の製造方法において、

上記硬質金属層は、Au-Sn合金からなることを特徴とする半導体装置の製造方法。

【請求項7】 請求項1ないし5のいずれかに記載の半導体装置の製造方法において、

上記第1溝内金属層は、Ti層、Pd層及びAu層が順に積層されてなるものであり、

上記第2溝内金属層を形成する工程は、上記第2チップ分離溝内に露出した上記第1溝内金属層の最下層であるTi層をエッチング除去して上記Pd層を露出させた後、該Pd層を活性化層として用いたNi系無電解メッキによりNiまたはNi系合金からなる第2溝内金属層を形成するものであることを特徴とする半導体装置の製造方法。

【請求項8】 その表面に複数の半導体素子が形成された半導体基板の所要の位置に、該半導体基板を各々1つの上記半導体素子を有する複数の半導体チップに分離するための第1のチップ分離溝、その深さが上記半導体基板の裏面を研磨または薄板化加工した後に得られる該半導体基板の所定の厚さ以下となるように形成する工程と、

該第1チップ分離溝の内面に第1の溝内金属層を形成する工程と、

上記半導体基板の裏面を研磨または薄板化加工し、その厚さを上記の所定の厚さとする工程と、

上記半導体基板の裏面の全面に第1の給電層を形成した後、該第1給電層裏面の上記第1チップ分離溝に対応する領域以外の領域に電解メッキにより放熱のための金属層である第1のPHS層を形成する工程と、

該第1PHS層をマスクとして、上記第1給電層及び上記半導体基板を裏面側から上記第1溝内金属層の底面が露出するまでエッチングして第2のチップ分離溝を形成することにより上記半導体基板を複数の上記半導体チップに分離する工程と、

上記半導体基板の裏面側の上記第1PHS層及び上記第2チップ分離溝を含む全面に第2の給電層を形成する工程と、

上記第2給電層の裏面の全面に電解メッキにより第2のPHS層を形成する工程と、

上記第1チップ分離溝内において上記第1溝内金属層、上記第2給電層及び上記第2PHS層を切断することにより、各々上記半導体チップと、その裏面側に設けられた上記第1及び第2PHS層とからなる複数の半導体装置を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項9】 請求項8に記載の半導体装置の製造方法において、

上記第1給電層は、Ti及びAuが順に積層されてなるものであり、

上記第1給電層及び上記半導体基板をエッチングする工程は、上記第1給電層を湿式エッチングにより除去した

後上記半導体基板をエッチングするものであることを特徴とする半導体装置の製造方法。

【請求項10】 請求項8または9に記載の半導体装置の製造方法において、

上記第2給電層は、NiまたはNi-Pからなり、その膜厚は3ないし5μmであることを特徴とする半導体装置の製造方法。

【請求項11】 その表面に複数の半導体素子が形成された半導体基板の所要の位置に、該半導体基板を各々1

10つの上記半導体素子を有する複数の半導体チップに分離するための第1のチップ分離溝を、その深さが上記半導体基板の裏面を研磨または薄板化加工した後に得られる該半導体基板の所定の厚さ以下となるように形成する工程と、

該第1チップ分離溝の内面に第1の溝内金属層を形成する工程と、

上記半導体基板の裏面を研磨または薄板化加工し、その厚さを上記の所定の厚さとする工程と、

上記半導体基板の裏面の全面に第1の給電層を形成した後、該第1給電層裏面の上記第1チップ分離溝に対応する領域以外の領域に電解メッキによりメッキ金属層を形成する工程と、

該メッキ金属層をマスクとして、上記第1給電層及び上記半導体基板を裏面側から上記第1溝内金属層の底面が露出するまでエッチングすることにより第2のチップ分離溝を形成し、上記半導体基板を複数の上記半導体チップに分離する工程と、

上記第2チップ分離溝を含む上記半導体基板の裏面側の全面に第2の給電層を形成した後、該第2給電層の裏面

30の全面に、第2の溝内金属層を構成する金属より軟らかい金属からなり、上記第2溝内金属層の切断を容易にするための緩衝金属層を形成する工程と、

上記緩衝金属層裏面の上記第2チップ分離溝領域に、PHS層を構成する金属より硬い金属からなる第2の溝内金属層を形成する工程と、

上記緩衝金属層裏面の上記第2チップ分離溝領域以外の領域に、放熱のための金属層である第1のPHS層を形成する工程と、

上記第2溝内金属層及び上記第1PHS層の裏面の全面に放熱のための金属層である第2のPHS層を形成する工程と、

上記第1チップ分離溝内において上記第1溝内金属層、上記第2給電層、上記緩衝金属層及び上記第2PHS層を切断することにより、各々上記半導体チップと、その裏面側に設けられた上記第1及び第2PHS層とからなる複数の半導体装置を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項12】 その表面に複数の半導体素子が形成された半導体基板の所要の位置に、該半導体基板を各々1

50つの上記半導体素子を有する複数の半導体チップに分離

するための第1のチップ分離溝を、その深さが上記半導体基板の裏面を研磨または薄板化加工した後に得られる該半導体基板の所定の厚さ以下となるように形成する工程と、

該第1チップ分離溝の内面に第1の溝内金属層を形成する工程と、

上記半導体基板の裏面を研磨または薄板化加工し、その厚さを上記の所定の厚さとする工程と、

上記半導体基板の裏面の全面に給電層を形成した後、該給電層裏面の上記第1チップ分離溝に対応する領域以外の領域に電解メッキにより放熱のための金属層であるPHS層を形成する工程と、

該PHS層をマスクとして、上記給電層及び上記半導体基板を裏面側から上記第1溝内金属層の底面が露出するまでエッティングすることにより第2のチップ分離溝を形成し、上記半導体基板を複数の上記半導体チップに分離する工程と、

上記半導体基板の裏面側の全面にセラミックペーストの塗布及び乾燥を行い、上記第2チップ分離溝内及び該第2チップ分離溝領域の上記PHS層間に上記セラミックペーストを充填する工程と、

上記セラミックペーストを上記PHS層の裏面が露出するまで研磨または薄板化加工し、平坦化する工程と、上記セラミックペーストを熱処理によりキュアし、セラミック層を形成する工程と、

上記第1チップ分離溝内において上記第1溝内金属層及び上記セラミック層を切断することにより、各々上記半導体チップと、その裏面側に設けられたPHS層と、該PHS層の側面全周に突出して設けられた上記セラミック層からなる複数の半導体装置を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項13】 半導体基板上にエッティングトップ層を介して形成され、その表面に複数の半導体素子が形成されたエピタキシャル成長層の所要の位置に、該エピタキシャル層を各々1つの上記半導体素子を有する複数の半導体チップに分離するためのチップ分離溝を、上記エッティングトップ層が露出するまで上記エピタキシャル層をエッティングすることにより形成する工程と、

該チップ分離溝の内面に溝内金属層を形成する工程と、上記半導体基板を上記エッティングトップ層が露出して自動的に停止するエッティングにより除去する工程と、上記エッティングトップ層を除去し、上記エピタキシャル成長層の裏面に上記溝内金属層を露出させる工程と、上記エピタキシャル成長層の裏面の全面に放熱のための金属層であるPHS層を形成する工程と、

上記分離溝内において上記溝内金属層及び上記PHS層を切断することにより、各々上記半導体チップと、その裏面側に設けられたPHS層とからなる複数の半導体装置を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項14】 請求項1ないし6または8ないし13のいずれかに記載の半導体装置の製造方法において、上記第1溝内金属層は、Ti層及びAu層が積層されてなるものであり、

上記第2チップ分離溝を形成する工程は、上記半導体基板をエッティングした後、露出した上記第1溝内金属層の上記Ti層をエッティングにより除去し、上記Au層を上記第2チップ分離溝内に露出させることを特徴とする半導体装置の製造方法。

10 【請求項15】 請求項1ないし14のいずれかに記載の半導体装置の製造方法において、上記PHS層、上記第1PHS層または上記第2PHS層は、AuまたはCuからなるものであることを特徴とする半導体装置の製造方法。

【請求項16】 請求項1ないし7、11、14または15のいずれかに記載の半導体装置の製造方法において、

上記第2溝内金属層または上記硬質金属層は、NiまたはNi-P合金からなることを特徴とする半導体装置の20 製造方法。

【請求項17】 請求項4、5、11または14ないし16のいずれかに記載の半導体装置の製造方法において、

上記メッキ金属層または上記緩衝金属層は、AuまたはCuからなることを特徴とする半導体装置の製造方法。

【請求項18】 複数の半導体素子が形成されている半導体基板の表面に第1のチップ分離溝を、該第1チップ分離溝の内面に第1の溝内金属層を形成し、

上記半導体基板の裏面を研磨または薄板化加工すること30 によりその厚さを所定の厚さとし、

上記半導体基板の裏面に、上記第1溝内金属層の底面が露出するよう第2のチップ分離溝を、該第2チップ分離溝の内面に第2の溝内金属層を形成した後、上記半導体基板の裏面側の全面に、放熱のための金属層であるPHS層を形成し、

上記第1チップ分離溝内において上記第1溝内金属層、上記第2溝内金属層及び上記PHS層を切断することにより作製されたり、

40 1つの上記半導体チップと、その裏面側に、その側面より外側に突出して設けられた上記PHS層とを備え、上記PHS層の外周部分の高さは、該PHS層の中央部分の高さより上記第2溝内金属層をその内面に有する上記第2チップ分離溝の深さの分だけ高いことを特徴とする半導体装置。

【請求項19】 請求項18に記載の半導体装置において、

上記PHS層は、上記半導体基板の裏面側の上記第2チップ分離溝以外の領域に第1のPHS層を形成した後、該第1PHS層を含む半導体基板の裏面側の全面に第2のPHS層を形成してなるものあり、

1つの上記半導体チップと、その裏面側に設けられた上記第1PHS層と、該第1PHS層の裏面側及び側面側に設けられ、上記半導体チップの側面より外側に突出した上記第2PHS層とを備え、

上記第2PHS層の外周部分の高さは、上記第2PHS層の中央部分の高さより上記第1PHS層の厚さと上記第2溝内金属層をその内面に有する上記第2チップ分離溝の深さを合わせた分だけ高いことを特徴とする半導体装置。

【請求項20】複数の半導体素子が形成されている半導体基板の表面に第1のチップ分離溝を、該第1チップ分離溝の内面に第1の溝内金属層を形成し、上記半導体基板の裏面を研磨または薄板化加工することによりその厚さを所定の厚さとし、

上記半導体基板の裏面に、上記第1溝内金属層の底面が露出するように第2のチップ分離溝を、該第2チップ分離溝の内面に第2の溝内金属層を形成した後、上記半導体基板の裏面側の第2チップ分離溝が形成された領域に、PHS層を構成する金属より硬い金属からなり、その厚さがPHS層とほぼ同じである硬質金属層を形成し、

上記半導体基板の裏面側の全面に放熱のための金属層であるPHS層を形成した後、上記PHS層の裏面を上記硬質金属層の裏面が露出するまで研磨または薄板化加工して平坦化し、

上記第1チップ分離溝内において上記第1溝内金属層、上記第2溝内金属層及び上記硬質金属層を切断することにより作製されてなり、

1つの上記半導体チップと、その裏面側に設けられた上記PHS層と、該PHS層の側面全周に突出して設けられた上記硬質金属層とを備えたことを特徴とする半導体装置。

【請求項21】請求項20に記載の半導体装置において、上記硬質金属層は、Au-Sn合金からなることを特徴とする半導体装置。

【請求項22】複数の半導体素子が形成されている半導体基板の表面に第1のチップ分離溝を、該第1チップ分離溝の内面に第1の溝内金属層を形成し、

上記半導体基板の裏面を研磨または薄板化加工することによりその厚さを所定の厚さとし、

上記第1チップ分離溝に対応する上記半導体基板の裏面側の領域以外の領域に放熱のための金属層である第1のPHS層を形成した後、該第1PHS層をマスクとして、上記半導体基板を裏面側から上記第1溝内金属層の底面が露出するまでエッチングすることにより第2のチップ分離溝を形成し、

上記半導体基板の裏面側の全面に第2のPHS層を形成した後、上記第1チップ分離溝内において上記第1溝内金属層及び上記第2PHS層を切断することにより作製

されてなり、

1つの上記半導体チップと、その裏面側に設けられた上記第1PHS層と、該第1PHS層の裏面側及び側面側に設けられ、上記半導体チップの側面より外側に突出した上記第2PHS層とを備え、

上記第2PHS層の外周部分の高さは、上記第2PHS層の中央部分の高さより上記第1PHS層の厚さと上記第2チップ分離溝の深さを合わせた分だけ高いことを特徴とする半導体装置。

【請求項23】複数の半導体素子が形成されている半導体基板の表面に、第1のチップ分離溝を、該第1チップ分離溝の内面に第1の溝内金属層を形成し、

上記半導体基板の裏面を研磨または薄板化加工することによりその厚さを所定の厚さとし、

上記第1チップ分離溝に対応する上記半導体基板の裏面の領域以外の領域にメッキ金属層を形成した後、該メッキ金属層をマスクとして、上記半導体基板を上記第1溝内金属層の底面が露出するまでエッチングすることにより第2のチップ分離溝を形成し、

上記半導体基板の裏面側の全面に、第2の溝内金属層を構成する金属より軟らかい金属からなる緩衝金属層を形成した後、該緩衝金属層裏面の上記第2チップ分離溝領域に、PHS層を構成する金属より硬い金属からなる第2溝内金属層を形成し、

上記緩衝金属層裏面の上記第2チップ分離溝領域以外の領域に、第1のPHS層を形成した後、上記第2溝内金属層及び上記第1PHS層の裏面の全面に第2のPHS層を形成し、

上記第1チップ分離溝内において上記第1溝内金属層、上記緩衝金属層、上記第2溝内金属層及び上記第2PHS層を切断することにより作製されてなり、

1つの上記半導体チップと、その裏面側に設けられた緩衝金属層と、該緩衝金属層の裏面側に設けられた上記第1PHS層と、

該第1PHS層の裏面側及び側面側に設けられ、上記半導体チップの側面より外側に突出した上記第2PHS層とを備え、

上記第2PHS層の外周部分の高さは、上記第2PHS層の中央部分の高さより上記第1PHS層の厚さと上記

第2溝内金属層をその内面に有する上記第2チップ分離溝の深さを合わせた分だけ高いことを特徴とする半導体装置。

【請求項24】複数の半導体素子が形成されている半導体基板の表面に第1のチップ分離溝を、該第1チップ分離溝の内面に第1の溝内金属層を形成し、

上記半導体基板の裏面を研磨または薄板化加工し、その厚さを所定の厚さとし、

上記第1チップ分離溝に対応する上記半導体基板の裏面側の領域以外の領域に放熱のための金属層であるPHS層を形成した後、該PHS層をマスクとして、上記半導

体基板を裏面側から上記第1溝内金属層の底面が露出するまでエッティングすることにより第2のチップ分離溝を形成し、

上記第2チップ分離溝内及び該第2チップ分離溝領域の上記PHS層間にセラミックペーストを充填した後、上記セラミックペーストを熱処理によりキュアしてセラミック層を形成し、

上記第1チップ分離溝内において上記第1溝内金属層及び上記セラミック層を切断することにより作製されてなり、

1つの上記半導体チップと、その裏面側に設けられた上記PHS層と、該PHS層の側面全周に突出して設けられた上記セラミック層とを備えたことを特徴とする半導体装置。

【請求項25】 半導体基板上にエッティングストップ層とエピタキシャル成長層が積層されており、複数の半導体素子が形成されている上記エピタキシャル層の表面にチップ分離溝を上記エッティングストップ層が露出して自動的に停止するエッティングにより形成した後、該チップ分離溝の内面に溝内金属層を形成し、

上記半導体基板を上記エッティングストップ層が露出して自動的に停止するエッティングにより除去した後、上記エッティングストップ層を除去して、上記エピタキシャル成長層の裏面に上記溝内金属層の底面を露出させ、

上記エピタキシャル成長層の裏面の全面に放熱のための金属層であるPHS層を形成した後、上記チップ分離溝内において上記溝内金属層及び上記PHS層を切断することにより作製されてなり、

1つの上記半導体チップと、その裏面側に、上記半導体チップの側面より外側に突出して設けられた上記PHS層とを備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体チップの裏面に放熱のためのPHS(Plated Heat Sink)層を備えた半導体装置の製造方法、及び半導体装置に関するものである。

【0002】

【従来の技術】 図17は、特開平6-209058号公報に示されている、半導体チップの裏面にPHS層を備えた従来の高周波高出力半導体装置の製造方法を示す断面図である。まず、その表面に複数の半導体素子が形成されている半導体基板1上に、チップ分離領域に開口部を有するフォトレジスト4を形成した後、このフォトレジストをマスクとして半導体基板1を反応性イオンエッティング(RIE)等によりエッティングし、深さ25~30μmのチップ分離溝2を形成する。この際、深さ方向のみでなく、横方向にも若干エッティングがなされ、フォトレジストマスク下のアンダーエッチ3が生じる。次に、蒸着またはスパッタリングデポジションを用い

て、全面に溝内金属層5を被着させる(図17(a))。さらに、フォトレジスト4を除去することにより、チップ分離溝2の内面にのみ溝内金属層5を形成する。これは、上記アンダーエッチ3があるため容易にできる。さらに、チップ分離溝以外の半導体基板上にレジスト44を形成した後、溝内金属層5を給電層とした電解メッキにより、厚さ約5μmのメッキ層55をチップ分離溝内にのみ形成する(図17(b))。このメッキ層は、後述の半導体基板裏面の研磨により基板が半導体チップに分離された後に、これらの半導体チップを機械的に結合しておくためのものであり、上記のように5μm程度の厚さは必要である。次に、ワックス6を用いて半導体基板1の表面をガラス板7に貼り付ける(図17(c))。さらに、半導体基板1をその裏面側から上記溝内金属層の底面が露出するまで研磨する(図17(d))。これにより、半導体基板1の厚さはチップ分離溝の深さと同程度の25~30μmとなり、半導体基板は半導体チップに分離される。次に、半導体基板1の裏面側の全面に厚さ40~50μmのAuからなるPHS層を形成した後、

20 ワックス6を除去することにより、ガラス板7を半導体基板1から剥離し、洗浄する。さらに、上記PHS層裏面をエクスピンドフィルムに貼り付けた後、ダイシングを行う。すなわち、上記チップ分離溝領域のPHS層をダイシングブレードによって切断する。

【0003】 上記製造方法を用いて、その表面に上記半導体素子が形成された半導体チップと、その裏面に形成された上記PHS層を有する半導体装置が得られる。このPHS層は、半導体チップの表面に形成された電界効果トランジスタ等の半導体素子から発生する熱を放散させるための放熱体である。また、このPHS層はガラス板を剥離した後の薄い半導体基板や、ダイシング後の半導体チップの取扱いを容易にする。

【0004】 上記製造方法においては、チップ分離溝2をRIEを用いて形成する場合、半導体基板1を支持するためのサセプタリング等に基板表面の周縁領域が遮蔽され、この領域にはチップ分離溝を形成できない。このため、後のメッキ層形成工程において、この領域のメッキ層は、半導体基板表面上のメッキ突起となる。この状態で、ワックスを介してガラス板を基板表面に接着させると、図18に示すように、上記メッキ突起555の下の半導体基板にクラック1cを発生させる。また、チップ分離溝2が正常に形成され、その内面に溝内金属層5及びメッキ層55が形成されている領域においても、半導体基板裏面を溝内金属層5の底面が露出するまで研磨する工程において、その深さが他のチップ分離溝より深くなっているチップ分離溝では、溝内金属層5の底面が露出した後も、上記研磨が続くため、図19に示すように、溝内金属層5の破れ5d、さらにはメッキ層55の破れ55aが生じたり、このような破損が起こらない場合でも、上記溝内金属層5が研磨後の半導体基板裏面か

11

ら突出するため、その後のフォトリソグラフィ工程が著しく困難となる。また、上記ダイシング工程（PHS層を切断する工程）においてPHS層の切断面にバリ（PHS層の半導体基板裏面側への突起）が発生するが、これはPHS層の裏面から完全に突出しており、後にこの半導体装置をチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性を著しく阻害する。これにより、PHS層からチップキャリアへの放熱性が劣化する。

【0005】上記の問題を避けるための半導体装置の製造方法として、米国特許U.S.P.5,275,958に示された方法がある。以下これについて、説明する。図20は、この方法を工程順に示した断面図である。まず、厚さ約 $600\mu\text{m}$ の半導体基板1の表面の半導体素子が形成されている領域に表面保護膜200を形成した後、深さ $5\sim15\mu\text{m}$ の第1のチップ分離溝2を半導体基板1の表面側にエッチングにより形成する（図20(a)）。次に、このチップ分離溝2内にAuからなる厚さ約 $10\mu\text{m}$ の第1のチップ分離溝メッキ層51を形成し（図20(b)）、ワックス6を用いてガラス板7を半導体基板1の表面側に貼り付ける（図20(c)）。さらに、半導体基板1の裏面の上記第1チップ分離溝2に対応する領域において、上記第1チップ分離溝メッキ層51の底面が露出するまで半導体基板1をエッチングすることにより、第2のチップ分離溝22を形成する（図20(d)）。次に、半導体基板1の裏面の上記第2チップ分離溝以外の領域にフォトレジスト8を形成し、このフォトレジストをマスクとして、第2チップ分離溝22内にAuからなる厚さ約 $10\mu\text{m}$ の第2のチップ分離溝メッキ層52を形成する（図20(e)）。さらに、フォトレジスト8を除去した後、半導体基板1の裏面を研磨し、基板の厚さが $20\sim30\mu\text{m}$ となるまで薄板化する。この際、上記第2チップ分離溝メッキ層52も同時に研磨されるため、図20(f)に示すように、上記研磨後に残った第2チップ分離溝22の内面にのみ第2チップ分離溝メッキ層52が形成された構造が得られる。次に、半導体基板1の裏面の上記第2チップ分離溝22以外の領域に厚さ $40\sim60\mu\text{m}$ のPHS層10を形成する（図20(g)）。さらに、ワックス6を溶解して除去し、これによってガラス板7を半導体基板1から剥離した後、PHS層10の裏面をダイシングテープ300に接着する。最後に、上記第1及び第2チップ分離溝メッキ層を切断することにより、その表面に上記半導体素子が形成された半導体チップと、その裏面に形成された上記PHS層を有する半導体装置が得られる（図20(h)）。上記切断工程においてメッキ層のバリ52a（図においてメッキ層が半導体基板裏面側に折れ曲がっている部分）が発生するが、これはPHS層の裏面から突出することは無いため、後にこの半導体装置をチップキャリアに実装する工程において、PHS層とチップキャリ

12

アとの密着性は良好となる。

【0006】この製造方法においては、第2チップ分離溝22及び第2チップ分離溝メッキ層52を形成した後に半導体基板裏面の研磨を行っているが、上記米国特許には、半導体基板裏面の研磨を行った後に第2チップ分離溝22及び第2チップ分離溝メッキ層52を形成する方法も示されている。この際、半導体基板の表面側の第1チップ分離溝2は、半導体基板裏面の研磨によって、この半導体基板裏面に貫通しない程度の深さに形成されている。

【0007】上記米国特許に示された製造方法では、半導体基板裏面を研磨する際に、第1チップ分離溝メッキ層の底面がこの研磨面に接触することがないため、最初に述べた製造方法における、チップ分離溝内の金属層及びメッキ層が破損したり、これらの層が半導体基板裏面に突出したりする問題は生じない。

【0008】

【発明が解決しようとする課題】上記米国特許に示された半導体装置の製造方法においては、第1チップ分離溝メッキ層の厚さは $10\mu\text{m}$ であり、最初に述べた製造方法の溝内メッキ層の厚さ $5\mu\text{m}$ より厚くなっている。これは、半導体基板裏面の第1及び第2チップ分離溝が形成された領域には、PHS層が形成されず、半導体チップ間の機械的結合の強度はチップ分離溝内のメッキ層のみによって保つ必要があるためである。従って、この米国特許に示された方法を用いても、上記のメッキ突起による半導体基板のクラックの発生を防止することはできない。

【0009】また、上記米国特許に示された製造方法においては、上記のように半導体基板裏面の第1及び第2チップ分離溝が形成された領域には、PHS層が形成されないため、最初に述べた製造方法のようにチップ分離溝領域も含む半導体基板裏面の全面にPHS層が形成される場合と比較して、半導体チップ間の機械的結合の強度が劣るという問題がある。このため、PHS層を形成し、ガラス板を剥離した後、半導体基板の形状に半導体チップが結合された状態での取扱いが難しく、この段階での半導体素子の電気特性の測定も困難となる。

【0010】この発明は、上記の問題点に鑑みなされたものであり、上記メッキ突起による半導体基板のクラックの発生を抑制でき、半導体基板裏面の研磨において、半導体基板表面側に形成されたチップ分離溝内の金属層が上記研磨面に接触することが無く、さらにPHS層が形成された後の半導体チップ間の結合の機械的強度が良好である半導体装置の製造方法、及びそれによって作製される半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】この発明（請求項1）に係る半導体装置の製造方法は、その表面に複数の半導体素子が形成された半導体基板の所要の位置に、該半導体

10

20

30

40

50

基板を各々1つの上記半導体素子を有する複数の半導体チップに分離するための第1のチップ分離溝を、その深さが上記半導体基板の裏面を研磨または薄板化加工した後に得られる該半導体基板の所定の厚さ以下となるように形成する工程と、該第1チップ分離溝の内面に第1の溝内金属層を形成する工程と、上記半導体基板の裏面を研磨または薄板化加工（研削、ラッピング、ポリッシング等）し、その厚さを上記所定の厚さとする工程と、上記第1チップ分離溝に対応する上記半導体基板の裏面の領域を上記第1溝内金属層が露出するまでエッチングし、第2のチップ分離溝を形成することにより上記半導体基板を複数の上記半導体チップに分離する工程と、該第2チップ分離溝の内面に、PHS層を構成する金属より硬い金属からなる第2の溝内金属層を形成する工程と、上記第2チップ分離溝を含む上記半導体基板の裏面側の全面に、放熱のための金属層であるPHS層を形成する工程と、上記第1溝内金属層、上記第2溝内金属層及び上記PHS層を切断することにより、各々上記半導体チップと、その裏面側に設けられた上記PHS層とからなる複数の半導体装置を形成する工程とを含むものである。

【0012】この発明（請求項2）に係る半導体装置の製造方法は、上記の半導体装置の製造方法（請求項1）において、上記PHS層を形成する工程が、上記半導体基板の裏面側の上記第2チップ分離溝以外の領域内に放熱のための金属層である第1のPHS層を形成した後、該第1PHS層を含む半導体基板の裏面側の全面に放熱のための金属層である第2のPHS層を形成するものである。

【0013】この発明（請求項3）に係る半導体装置の製造方法は、その表面に複数の半導体素子が形成された半導体基板の所要の位置に、該半導体基板を各々1つの上記半導体素子を有する複数の半導体チップに分離するための第1のチップ分離溝を、その深さが上記半導体基板の裏面を研磨または薄板化加工した後に得られる該半導体基板の所定の厚さ以下となるように形成する工程と、該第1チップ分離溝の内面に第1の溝内金属層を形成する工程と、上記半導体基板の裏面を研磨または薄板化加工し、その厚さを上記の所定の厚さとする工程と、上記第1チップ分離溝に対応する上記半導体基板の裏面の領域を上記第1溝内金属層が露出するまでエッチングし、第2のチップ分離溝を形成することにより上記半導体基板を複数の上記半導体チップに分離する工程と、該第2チップ分離溝の内面に、PHS層を構成する金属より硬い金属からなる第2の溝内金属層を形成する工程と、上記半導体基板の裏面側の第2チップ分離溝が形成された領域に、PHS層を構成する金属より硬い金属からなり、その厚さがPHS層と同程度である硬質金属層を形成する工程と、上記半導体基板の裏面側の全面に放熱のための金属層であるPHS層を形成する工程と、上

記PHS層の裏面を上記硬質金属層の裏面が露出するまで研磨または薄板化加工し、平坦化する工程と、上記第1チップ分離溝内において上記第1溝内金属層、上記第2溝内金属層及び上記硬質金属層を切断することにより、各々上記半導体チップと、その裏面に設けられた上記PHS層と、該PHS層の側面全周に突出して設けられた上記硬質金属層からなる複数の半導体装置を形成する工程とを含むものである。

【0014】この発明（請求項4）に係る半導体装置の10 製造方法は、上記の半導体装置の製造方法（請求項3）において、上記第2溝内金属層を形成する工程の後、上記硬質金属層を形成する工程の前に、上記半導体基板の裏面側の全面に、上記硬質金属層を構成する金属より軟らかい金属からなり、上記硬質金属層の切断を容易にするための緩衝金属層を形成する工程を含むものである。

【0015】この発明（請求項5）に係る半導体装置の20 製造方法は、上記の半導体装置の製造方法（請求項3）において、上記第2チップ分離溝を形成する工程が、上記硬質金属層の厚さより厚いレジストを上記半導体基板の裏面の上記第1チップ分離溝に対応する領域以外の領域に形成し、該レジストをマスクとして上記第1溝内金属層が露出するまで、上記半導体基板をエッチングするものであり、上記第2溝内金属層を形成する工程は、上記レジストをマスクとして上記第2溝内金属層を選択メッシュにより上記第2チップ分離溝内に形成するものであり、上記第2溝内金属層を形成する工程の後、上記硬質金属層を形成する工程の前に、上記レジストをマスクとして、上記第2溝内金属層の裏面に、上記硬質金属層を構成する金属より軟らかい金属からなり、上記硬質金属層の切断を容易にするための緩衝金属層を選択メッシュにより形成する工程を含み、上記硬質金属層を形成する工程は、上記レジストをマスクとして上記硬質金属層を選択メッシュにより上記第2溝内金属層の裏面に形成した後、上記レジストを除去するものである。

【0016】この発明（請求項6）に係る半導体装置の30 製造方法は、上記の半導体装置の製造方法（請求項3ないし5のいずれか）において、上記硬質金属層は、Au-Sn合金からなるものである。

【0017】この発明（請求項7）に係る半導体装置の40 製造方法は、上記の半導体装置の製造方法（請求項1ないし5のいずれか）において、上記第1溝内金属層が、Ti層、Pd層及びAu層が順に積層されてなるものであり、上記第2溝内金属層を形成する工程は、上記第2チップ分離溝内に露出した上記第1溝内金属層の最下層であるTi層をエッチング除去して上記Pd層を露出させた後、該Pd層を活性化層として用いたNi系無電解メッシュによりNiまたはNi系合金からなる第2溝内金属層を形成するものである。

【0018】この発明（請求項8）に係る半導体装置の50 製造方法は、その表面に複数の半導体素子が形成された

半導体基板の所要の位置に、該半導体基板を各々1つの上記半導体素子を有する複数の半導体チップに分離するための第1のチップ分離溝を、その深さが上記半導体基板の裏面を研磨または薄板化加工した後に得られる該半導体基板の所定の厚さ以下となるように形成する工程と、該第1チップ分離溝の内面に第1の溝内金属層を形成する工程と、上記半導体基板の裏面を研磨または薄板化加工し、その厚さを上記の所定の厚さとする工程と、上記半導体基板の裏面の全面に第1の給電層を形成した後、該第1給電層裏面の上記第1チップ分離溝に対応する領域以外の領域に電解メッキにより放熱のための金属層である第1のPHS層を形成する工程と、該第1PHS層をマスクとして、上記第1給電層及び上記半導体基板を裏面側から上記第1溝内金属層が露出するまでエッチングして第2のチップ分離溝を形成することにより上記半導体基板を複数の上記半導体チップに分離する工程と、上記半導体基板の裏面側の上記第1PHS層及び上記第2チップ分離溝を含む全面に第2の給電層を形成する工程と、上記第2給電層の裏面の全面に電解メッキにより第2のPHS層を形成する工程と、上記第1チップ分離溝内において上記第1溝内金属層、上記第2給電層及び上記第2PHS層を切断することにより、各々上記半導体チップと、その裏面側に設けられた上記第1及び第2PHS層とからなる複数の半導体装置を形成する工程とを含むものである。

【0019】この発明（請求項9）に係る半導体装置の製造方法は、上記の半導体装置の製造方法（請求項8）において、上記第1給電層が、Ti及びAuが順に積層されてなるものであり、上記第1給電層及び上記半導体基板をエッチングする工程は、上記第1給電層を湿式エッチングにより除去した後上記半導体基板をエッチングするものである。

【0020】この発明（請求項10）に係る半導体装置の製造方法は、上記の半導体装置の製造方法（請求項8または9）において、上記第2給電層が、NiまたはNi-Pからなり、その膜厚は3ないし5μmであるものである。

【0021】この発明（請求項11）に係る半導体装置の製造方法は、その表面に複数の半導体素子が形成された半導体基板の所要の位置に、該半導体基板を各々1つの上記半導体素子を有する複数の半導体チップに分離するための第1のチップ分離溝を、その深さが上記半導体基板の裏面を研磨または薄板化加工した後に得られる該半導体基板の所定の厚さ以下となるように形成する工程と、該第1チップ分離溝の内面に第1の溝内金属層を形成する工程と、上記半導体基板の裏面を研磨または薄板化加工し、その厚さを上記の所定の厚さとする工程と、上記半導体基板の裏面の全面に第1の給電層を形成した後、該第1給電層裏面の上記第1チップ分離溝に対応する領域以外の領域に電解メッキによりメッキ金属層を形

成する工程と、該メッキ金属層をマスクとして、上記第1給電層及び上記半導体基板を裏面側から上記第1溝内金属層が露出するまでエッチングすることにより第2のチップ分離溝を形成し、上記半導体基板を複数の上記半導体チップに分離する工程と、上記第2チップ分離溝を含む上記半導体基板の裏面側の全面に第2の給電層を形成した後、該第2給電層の裏面の全面に、第2の溝内金属層を構成する金属より軟らかい金属からなり、上記第2溝内金属層の切断を容易にするための緩衝金属層を形成する工程と、上記緩衝金属層裏面の上記第2チップ分離溝領域に、PHS層を構成する金属より硬い金属からなる第2の溝内金属層を形成する工程と、上記緩衝金属層裏面の上記第2チップ分離溝領域以外の領域に、放熱のための金属層である第1のPHS層を形成する工程と、上記第2溝内金属層及び上記第1PHS層の裏面の全面に放熱のための金属層である第2のPHS層を形成する工程と、上記第1チップ分離溝内において上記第1溝内金属層、上記第2給電層、上記緩衝金属層及び上記第2PHS層を切断することにより、各々上記半導体チップと、その裏面側に設けられた上記第1及び第2PHS層とからなる複数の半導体装置を形成する工程とを含むものである。

【0022】この発明（請求項12）に係る半導体装置の製造方法は、その表面に複数の半導体素子が形成された半導体基板の所要の位置に、該半導体基板を各々1つの上記半導体素子を有する複数の半導体チップに分離するための第1のチップ分離溝を、その深さが上記半導体基板の裏面を研磨または薄板化加工した後に得られる該半導体基板の所定の厚さ以下となるように形成する工程と、該第1チップ分離溝の内面に第1の溝内金属層を形成する工程と、上記半導体基板の裏面を研磨または薄板化加工し、その厚さを上記の所定の厚さとする工程と、上記半導体基板の裏面の全面に給電層を形成した後、該給電層裏面の上記第1チップ分離溝に対応する領域以外の領域に電解メッキにより放熱のための金属層であるPHS層を形成する工程と、該PHS層をマスクとして、上記給電層及び上記半導体基板を裏面側から上記第1溝内金属層が露出するまでエッチングすることにより第2のチップ分離溝を形成し、上記半導体基板を複数の上記半導体チップに分離する工程と、上記半導体基板の裏面側の全面にセラミックペーストの塗布及び乾燥を行い、上記第2チップ分離溝内及び該第2チップ分離溝領域の上記PHS層間に上記セラミックペーストを充填する工程と、上記セラミックペーストを上記PHS層の裏面が露出するまで研磨または薄板化加工し、平坦化する工程と、上記セラミックペーストを熱処理によりキュアし、セラミック層を形成する工程と、上記第1チップ分離溝内において上記第1溝内金属層及び上記セラミック層を切断することにより、各々上記半導体チップと、その裏面側に設けられたPHS層と、該PHS層の側面全周に

突出して設けられた上記セラミック層からなる複数の半導体装置を形成する工程とを含むものである。

【0023】この発明（請求項13）に係る半導体装置の製造方法は、半導体基板上にエッティングトップ層を介して形成され、その表面に複数の半導体素子が形成されたエピタキシャル成長層の所要の位置に、該エピタキシャル層を各々1つの上記半導体素子を有する複数の半導体チップに分離するためのチップ分離溝を、上記エッティングトップ層が露出するまで上記エピタキシャル層をエッティングすることにより形成する工程と、該チップ分離溝の内面に溝内金属層を形成する工程と、上記半導体基板を上記エッティングトップ層が露出して自動的に停止するエッティングにより除去する工程と、上記エッティングトップ層を除去し、上記エピタキシャル成長層の裏面に上記溝内金属層を露出させる工程と、上記エピタキシャル成長層の裏面の全面に放熱のための金属層であるPHS層を形成する工程と、上記分離溝において上記溝内金属層及び上記PHS層を切断することにより、各々上記半導体チップと、その裏面側に設けられたPHS層とからなる複数の半導体装置を形成する工程とを含むものである。

【0024】この発明（請求項14）に係る半導体装置の製造方法は、上記の半導体装置の製造方法（請求項1ないし6または8ないし13のいずれか）において、上記第1溝内金属層が、Ti層及びAu層が積層されてなるものであり、上記第2チップ分離溝を形成する工程が、上記半導体基板をエッティングした後、露出した上記第1溝内金属層の上記Ti層をエッティングにより除去し、上記Au層を上記第2チップ分離溝内に露出させるものである。

【0025】この発明（請求項15）に係る半導体装置の製造方法は、上記の半導体装置の製造方法（請求項1ないし14のいずれか）において、上記PHS層、上記第1PHS層または上記第2PHS層が、AuまたはCuからなるものである。

【0026】この発明（請求項16）に係る半導体装置の製造方法は、上記の半導体装置の製造方法（請求項1ないし7、11、14または15のいずれか）において、上記第2溝内金属層または上記硬質金属層が、NiまたはNi-P合金からなるものである。

【0027】この発明（請求項17）に係る半導体装置の製造方法は、上記の半導体装置の製造方法（請求項4、5、11または14ないし16のいずれか）において、上記メッキ金属層または上記緩衝金属層が、AuまたはCuからなるものである。

【0028】この発明（請求項18）に係る半導体装置は、複数の半導体素子が形成されている半導体基板の表面に第1のチップ分離溝を、該第1チップ分離溝の内面に第1の溝内金属層を形成し、上記半導体基板の裏面を研磨または薄板化加工することによりその厚さを所定の

厚さとし、上記半導体基板の裏面に、上記第1溝内金属層の底面が露出するように第2のチップ分離溝を、該第2チップ分離溝の内面に第2の溝内金属層を形成した後、上記半導体基板の裏面側の全面に、放熱のための金属層であるPHS層を形成し、上記第1チップ分離溝において上記第1溝内金属層、上記第2溝内金属層及び上記PHS層を切断することにより作製されてなり、1つの上記半導体チップと、その裏面側に、その側面より外側に突出して設けられた上記PHS層とを備え、上記

10 PHS層の外周部分の高さは、該PHS層の中央部分の高さより上記第2溝内金属層をその内面に有する上記第2チップ分離溝の深さの分だけ高いものである。

【0029】この発明（請求項19）に係る半導体装置は、上記の半導体装置（請求項18）において、上記PHS層が、上記半導体基板の裏面側の上記第2チップ分離溝以外の領域に第1のPHS層を形成した後、該第1PHS層を含む半導体基板の裏面側の全面に第2のPHS層を形成してなるものであり、1つの上記半導体チップと、その裏面側に設けられた上記第1PHS層と、該第1PHS層の裏面側及び側面側に設けられ、上記半導体チップの側面より外側に突出した上記第2PHS層とを備え、上記第2PHS層の外周部分の高さは、上記第2PHS層の中央部分の高さより上記第1PHS層の厚さと上記第2溝内金属層をその内面に有する上記第2チップ分離溝の深さを合わせた分だけ高いものである。

【0030】この発明（請求項20）に係る半導体装置は、複数の半導体素子が形成されている半導体基板の表面に第1のチップ分離溝を、該第1チップ分離溝の内面に第1の溝内金属層を形成し、上記半導体基板の裏面を研磨または薄板化加工することによりその厚さを所定の

30 厚さとし、上記半導体基板の裏面に、上記第1溝内金属層の底面が露出するように第2のチップ分離溝を、該第2チップ分離溝の内面に第2の溝内金属層を形成した後、上記半導体基板の裏面側の第2チップ分離溝が形成された領域に、PHS層を構成する金属より硬い金属からなり、その厚さがPHS層とほぼ同じである硬質金属層を形成し、上記半導体基板の裏面側の全面に放熱のための金属層であるPHS層を形成した後、上記PHS層の裏面を上記硬質金属層の裏面が露出するまで研磨または薄板化加工することによりその厚さを所定の厚さとし、上記半導体基板の裏面に、上記第1溝内金属層の底面が露出するように第2のチップ分離溝を、該第2チップ分離溝の内面に第2の溝内金属層を形成した

40 後、上記半導体基板の裏面側の第2チップ分離溝が形成された領域に、PHS層を構成する金属より硬い金属からなり、その厚さがPHS層とほぼ同じである硬質金属層を形成し、上記半導体基板の裏面側の全面に放熱のための金属層であるPHS層を形成した後、上記PHS層の裏面を上記硬質金属層の裏面が露出するまで研磨または薄板化加工して平坦化し、上記第1チップ分離溝内において上記第1溝内金属層、上記第2溝内金属層及び上記硬質金属層を切断することにより作製されてなり、1つの上記半導体チップと、その裏面側に設けられた上記PHS層と、該PHS層の側面全周に突出して設けられた上記硬質金属層とを備えたものである。

【0031】この発明（請求項21）に係る半導体装置は、上記の半導体装置（請求項20）において、上記硬質金属層が、Au-Sn合金からなるものである。

【0032】この発明（請求項22）に係る半導体装置は、複数の半導体素子が形成されている半導体基板の表

面に第1のチップ分離溝を、該第1チップ分離溝の内面に第1の溝内金属層を形成し、上記半導体基板の裏面を研磨または薄板化加工することによりその厚さを所定の厚さとし、上記第1チップ分離溝に対応する上記半導体基板の裏面側の領域以外の領域に放熱のための金属層である第1のPHS層を形成した後、該第1PHS層をマスクとして、上記半導体基板を裏面側から上記第1溝内金属層の底面が露出するまでエッチングすることにより第2のチップ分離溝を形成し、上記半導体基板の裏面側の全面に第2のPHS層を形成した後、上記第1チップ分離溝内において上記第1溝内金属層及び上記第2PHS層を切断することにより作製されてなり、1つの上記半導体チップと、その裏面側に設けられた上記第1PHS層と、該第1PHS層の裏面側及び側面側に設けられ、上記半導体チップの側面より外側に突出した上記第2PHS層とを備え、上記第2PHS層の外周部分の高さは、上記第2PHS層の中央部分の高さより上記第1PHS層の厚さと上記第2チップ分離溝の深さを合わせた分だけ高いものである。

【0033】この発明（請求項23）に係る半導体装置は、複数の半導体素子が形成されている半導体基板の表面に、第1のチップ分離溝を、該第1チップ分離溝の内面に第1の溝内金属層を形成し、上記半導体基板の裏面を研磨または薄板化加工することによりその厚さを所定の厚さとし、上記第1チップ分離溝に対応する上記半導体基板の裏面の領域以外の領域にメッキ金属層を形成した後、該メッキ金属層をマスクとして、上記半導体基板を上記第1溝内金属層の底面が露出するまでエッチングすることにより第2のチップ分離溝を形成し、上記半導体基板の裏面側の全面に、第2の溝内金属層を構成する金属より軟らかい金属からなる緩衝金属層を形成した後、該緩衝金属層裏面の上記第2チップ分離溝領域に、PHS層を構成する金属より硬い金属からなる第2溝内金属層を形成し、上記緩衝金属層裏面の上記第2チップ分離溝領域以外の領域に、第1のPHS層を形成した後、上記第2溝内金属層及び上記第1PHS層の裏面の全面に第2のPHS層を形成し、上記第1チップ分離溝内において上記第1溝内金属層、上記緩衝金属層、上記第2溝内金属層及び上記第2PHS層を切断することにより作製されてなり、1つの上記半導体チップと、その裏面側に設けられた緩衝金属層と、該緩衝金属層の裏面側に設けられた上記第1PHS層と、該第1PHS層の裏面側及び側面側に設けられ、上記半導体チップの側面より外側に突出した上記第2PHS層とを備え、上記第2PHS層の外周部分の高さは、上記第2PHS層の中央部分の高さより上記第1PHS層の厚さと上記第2チップ分離溝の深さを合わせた分だけ高いものである。

【0034】この発明（請求項24）に係る半導体装置は、複数の半導体素子が形成されている半導体基板の表

面に第1のチップ分離溝を、該第1チップ分離溝の内面に第1の溝内金属層を形成し、上記半導体基板の裏面を研磨または薄板化加工し、その厚さを所定の厚さとし、上記第1チップ分離溝に対応する上記半導体基板の裏面側の領域以外の領域に放熱のための金属層であるPHS層を形成した後、該PHS層をマスクとして、上記半導体基板を裏面側から上記第1溝内金属層の底面が露出するまでエッチングすることにより第2のチップ分離溝を形成し、上記第2チップ分離溝内及び該第2チップ分離溝領域の上記PHS層間にセラミックペーストを充填した後、上記セラミックペーストを熱処理によりキュアしてセラミック層を形成し、上記第1チップ分離溝内において上記第1溝内金属層及び上記セラミック層を切断することにより作製されてなり、1つの上記半導体チップと、その裏面側に設けられた上記PHS層と、該PHS層の側面全周に突出して設けられた上記セラミック層とを備えたものである。

【0035】この発明（請求項25）に係る半導体装置は、半導体基板上にエッチングストップ層とエピタキシャル成長層が積層されており、複数の半導体素子が形成されている上記エピタキシャル層の表面にチップ分離溝を上記エッチングストップ層が露出して自動的に停止するエッチングにより形成した後、該チップ分離溝の内面に溝内金属層を形成し、上記半導体基板を上記エッチングストップ層が露出して自動的に停止するエッチングにより除去した後、上記エッチングストップ層を除去して、上記エピタキシャル成長層の裏面に上記溝内金属層の底面を露出させ、上記エピタキシャル成長層の裏面の全面に放熱のための金属層であるPHS層を形成した後、上記チップ分離溝内において上記溝内金属層及び上記PHS層を切断することにより作製されてなり、1つの上記半導体チップと、その裏面側に、上記半導体チップの側面より外側に突出して設けられた上記PHS層とを備えたものである。

【0036】

【作用】この発明（請求項1）に係る半導体装置の製造方法では、その表面に複数の半導体素子が形成された半導体基板の所要の位置に、該半導体基板を各々1つの上記半導体素子を有する複数の半導体チップに分離するための第1のチップ分離溝を、その深さが上記半導体基板の裏面を研磨または薄板化加工した後に得られる該半導体基板の所定の厚さ以下となるように形成する工程と、該第1チップ分離溝の内面に第1の溝内金属層を形成する工程と、上記半導体基板の裏面を研磨または薄板化加工（研削、ラッピング、ポリッシング等）し、その厚さを上記所定の厚さとする工程と、上記第1チップ分離溝に対応する上記半導体基板の裏面の領域を上記第1溝内金属層が露出するまでエッチングし、第2のチップ分離溝を形成することにより上記半導体基板を複数の上記半導体チップに分離する工程と、該第2チップ分離溝の内

面に、PHS層を構成する金属より硬い金属からなる第2の溝内金属層を形成する工程と、上記第2チップ分離溝を含む上記半導体基板の裏面側の全面に、放熱のための金属層であるPHS層を形成する工程と、上記第1チップ分離溝内において上記第1溝内金属層、上記第2溝内金属層及び上記PHS層を切断することにより、各々上記半導体チップと、その裏面側に設けられた上記PHS層とからなる複数の半導体装置を形成する工程とを含むから、上記PHS層が半導体基板の裏面全面に形成されていることにより、このPHS層形成工程からチップ分離溝領域の各金属層を切断する工程までの半導体チップ間の機械的結合の強度が良好となる。また、この半導体基板裏面の全面にPHS層が形成されることと、上記第1チップ分離溝の深さが、半導体基板裏面の研磨または薄板化加工により薄板化される半導体基板の厚さより浅いこと、すなわち半導体基板裏面の研磨または薄板化加工時に第1チップ分離溝の下に一定の厚さの半導体基板が残っていることにより、第1溝内金属層に機械的強度を持たせる必要がない。従って、第1溝内金属層の厚さを $1\mu m$ 以下と薄くすることが可能であり、これによつて半導体基板表面の周縁領域において前述のメッシュ突起のような厚い金属の突起が形成されることはない。この突起に起因するガラス板貼り付け時の半導体基板のクラック発生も防止できる。さらに、上記のように半導体基板裏面の研磨または薄板化加工時に第1チップ分離溝の下に一定の厚さの半導体基板が残っているため、第1溝内金属層がこの研磨または薄板化加工によつて半導体基板裏面に露出することがない。従つて、第1溝内金属層がこの研磨または薄板化加工によって破れたり、半導体基板裏面に突出することにより、その後のフォトリソグラフィ工程が困難になることはない。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。また、PHS層裏面のチップ分離溝領域には、その内面に第2溝内金属層を有する上記第2チップ分離溝の深さ程度の窪みができており、これによつてこの領域の金属層を切断する工程において、PHS層に発生するバリ(PHS層切断面における裏面側への突起)の半導体チップ領域のPHS層裏面からの突出の程度を低減できる。従つて、上記切断工程後に得られる半導体装置を後にチップキャリアに実装する工程におけるPHS層とチップキャリアとの密着性は、従来技術として既に説明した、PHS層のバリが完全にその裏面に突出している場合より良好なものとすることができます。すなわち、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0037】この発明(請求項2)に係る半導体装置の製造方法では、上記の半導体装置の製造方法(請求項1)において、上記PHS層を形成する工程が、上記半導体基板の裏面側の上記第2チップ分離溝以外の領域内

に放熱のための金属層である第1のPHS層を形成した後、該第1PHS層を含む半導体基板の裏面側の全面に放熱のための金属層である第2のPHS層を形成するものであるから、上記のようにPHS層が半導体基板裏面全面に形成されることにより、半導体チップ間の機械的結合の強度が増し、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工による第1溝内金属層の破損または半導体基板裏面への突出もない。このように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。さらに、上記第1PHS層は第2チップ分離溝領域には形成されていないため、第2PHS層形成直後のこの層の裏面は、チップ分離溝領域では第1PHS層の厚さにその内面に第2溝内金属層を有する第2チップ分離溝の深さを加えた分だけ窪んでいる。従つて、チップ分離溝領域の金属層を切断する際に発生する第2PHS層のバリを上記の窪み内に納めることが可能となる。すなわち、上記切断工程後に得られる半導体チップとその裏面に形成されたPHS層からなる半導体装置において、上記PHS層のバリは半導体チップ直下のPHS層の裏面より突出することはない。従つて、この半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性を良好なものとすることができる。従つて、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0038】この発明(請求項3)に係る半導体装置の製造方法では、その表面に複数の半導体素子が形成された半導体基板の所要の位置に、該半導体基板を各々1つの上記半導体素子を有する複数の半導体チップに分離するための第1のチップ分離溝を、その深さが上記半導体基板の裏面を研磨または薄板化加工した後に得られる該半導体基板の所定の厚さ以下となるように形成する工程と、該第1チップ分離溝の内面に第1の溝内金属層を形成する工程と、上記半導体基板の裏面を研磨または薄板化加工し、その厚さを上記の所定の厚さとする工程と、上記第1チップ分離溝に対応する上記半導体基板の裏面の領域を上記第1溝内金属層が露出するまでエッチングし、第2のチップ分離溝を形成することにより上記半導体基板を複数の上記半導体チップに分離する工程と、該第2チップ分離溝の内面に、PHS層を構成する金属より硬い金属からなる第2の溝内金属層を形成する工程と、上記半導体基板の裏面側の第2チップ分離溝が形成された領域に、PHS層を構成する金属より硬い金属からなり、その厚さがPHS層と同程度である硬質金属層を形成する工程と、上記半導体基板の裏面側の全面に放熱のための金属層であるPHS層を形成する工程と、上記PHS層の裏面を上記硬質金属層の裏面が露出するまで研磨または薄板化加工し、平坦化する工程と、上記第50 1チップ分離溝内において上記第1溝内金属層、上記第

2溝内金属層及び上記硬質金属層を切断することにより、各々上記半導体チップと、その裏面に設けられた上記PHS層と、該PHS層の側面全周に突出して設けられた上記硬質金属層からなる複数の半導体装置を形成する工程とを含むから、半導体基板裏面のチップ分離溝領域には、PHS層の厚さと同程度の厚さの硬質金属層が形成され、この領域以外の領域にはPHS層が形成されることになる。従って、このPHS層形成工程からチップ分離溝領域の各金属層を切断する工程までの半導体チップ間の機械的結合の強度が良好となる。また、この半導体基板裏面の全面に硬質金属層またはPHS層が形成されることと、上記第1チップ分離溝の深さが、半導体基板裏面の研磨または薄板化加工により薄板化される半導体基板の厚さより浅いこと、すなわち半導体基板裏面の研磨または薄板化加工時に第1チップ分離溝の下に一定の厚さの半導体基板が残っていることにより、第1溝内金属層に機械的強度を持たせる必要がない。従って、第1溝内金属層の厚さを $1\mu m$ 以下と薄くすることが可能であり、これによって半導体基板表面の周縁領域において前述のメッキ突起のような厚い金属の突起が形成されることはなくなり、この突起に起因するガラス板貼り付け時の半導体基板のクラック発生も防止できる。さらに、上記のように半導体基板裏面の研磨または薄板化加工時に第1チップ分離溝の下に一定の厚さの半導体基板が残っているため、第1溝内金属層がこの研磨または薄板化加工によって半導体基板裏面に露出することがない。従って、第1溝内金属層がこの研磨または薄板化加工によって破れたり、半導体基板裏面に突出することにより、その後のフォトリソグラフィ工程が困難になることはない。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。また、半導体基板裏面側のチップ分離溝領域には、上記のように硬質金属層が形成されているから、この領域の金属層を切断する工程において、この硬質金属層に発生するバリはPHS層を直接切断することによって発生するバリより小さく、上記切断工程後に得られる半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性はPHS層のバリがその裏面に突出している場合より良好なものとすることができます。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0039】この発明（請求項4）に係る半導体装置の製造方法では、上記の半導体装置の製造方法（請求項3）において、上記第2溝内金属層を形成する工程の後、上記硬質金属層を形成する工程の前に、上記半導体基板の裏面側の全面に、上記硬質金属層を構成する金属より軟らかい金属からなり、上記硬質金属層の切断を容易にするための緩衝金属層を形成する工程を含むから、上記のように硬質金属層またはPHS層が半導体基板裏面全面に形成されることにより、半導体チップ間の機械

的結合の強度が増し、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工による第1溝内金属層の破損または半導体基板裏面への突出もない。さらに、軟らかい金属からなる上記緩衝金属層が形成されているため、チップ分離溝領域の金属層を切断する際、この領域にはPHS層と同程度に厚い硬質金属層が存在するにもかかわらず、その切断は容易となる。このように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。さらに、半導体基板裏面のチップ分離溝領域では硬質金属層が形成されている。従って、チップ分離溝領域の金属層を切断する際に、この硬質金属層に発生するバリはPHS層を直接切断することによって発生するバリより小さく、上記切断工程後に得られる半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性はPHS層のバリがその裏面に突出している場合より良好なものとすることができます。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0040】この発明（請求項5）に係る半導体装置の製造方法では、上記の半導体装置の製造方法（請求項3）において、上記第2チップ分離溝を形成する工程が、上記硬質金属層の厚さより厚いレジストを上記半導体基板の裏面の上記第1チップ分離溝に対応する領域以外の領域に形成し、該レジストをマスクとして上記第1溝内金属層が露出するまで、上記半導体基板をエッチングするものであり、上記第2溝内金属層を形成する工程は、上記レジストをマスクとして上記第2溝内金属層を選択メッキにより上記第2チップ分離溝内面に形成するものであり、上記第2溝内金属層を形成する工程の後、上記硬質金属層を形成する工程の前に、上記レジストをマスクとして、上記第2溝内金属層の裏面に、上記硬質金属層を構成する金属より軟らかい金属からなり、上記硬質金属層の切断を容易にするための緩衝金属層を選択メッキにより形成する工程を含み、上記硬質金属層を形成する工程が、上記レジストをマスクとして上記硬質金属層を選択メッキにより上記第2溝内金属層の裏面に形成した後、上記レジストを除去するものであるから、上記のように硬質金属層またはPHS層が半導体基板裏面全面に形成されることにより、半導体チップ間の機械的結合の強度が増し、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工による第1溝内金属層の破損または半導体基板裏面への突出もない。さらに、軟らかい金属からなる上記緩衝金属層が形成されているため、チップ分離溝領域の金属層を切断する際、この領域にはPHS層と同程度に厚い硬質金属層が存在するにもかかわらず、その切断は容易となる。以上のように、この製造方法を用い

ることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。さらに、半導体基板裏面のチップ分離溝領域では硬質金属層が形成されている。従って、チップ分離溝領域の金属層を切断する際に、この硬質金属層に発生するバリはPHS層を直接切断することによって発生するバリより小さく、上記切断工程後に得られる半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性はPHS層のバリがその裏面に突出している場合より良好なものとすることができる。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0041】この発明（請求項6）に係る半導体装置の製造方法では、上記の半導体装置の製造方法（請求項3ないし5のいずれか）において、上記硬質金属層が、Au-Sn合金からなるものであるから、上記のように半導体チップ間結合の機械的強度が優れており、半導体基板表面周縁領域の金属の突起形成もないため、半導体基板のクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工時の第1溝内金属層の破損や半導体基板裏面へのこの金属層の突出もない。さらに、上記硬質金属層を切断する際にその切断面に発生するバリは、この硬質金属層がAu-Sn合金からなるものであるため、半導体装置をチップキャリアに実装する際、300°C程度に加熱することにより溶融してしまい、PHS層とチップキャリアの密着性を劣化させることはない。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0042】この発明（請求項7）に係る半導体装置の製造方法では、上記の半導体装置の製造方法（請求項1ないし5のいずれか）において、上記第1溝内金属層が、Ti層、Pd層及びAu層が順に積層されてなるものであり、上記第2溝内金属層を形成する工程が、上記第2チップ分離溝内に露出した上記第1溝内金属層の最下層であるTi層をエッチング除去して上記Pd層を露出させた後、該Pd層を活性化層として用いたNi系無電解メッキによりNiまたはNi系合金からなる第2溝内金属層を形成するものであるから、上記のように半導体チップ間結合の機械的強度が優れており、半導体基板表面周縁領域の金属の突起形成もないため、半導体基板のクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工時の第1溝内金属層の破損や半導体基板裏面へのこの金属層の突出もない。さらに、Pd層を活性化層として用いたNi系無電解メッキにより、容易にNiまたはNi系合金からなる第2溝内金属層を形成することができる。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。

【0043】この発明（請求項8）に係る半導体装置の製造方法では、その表面に複数の半導体素子が形成された半導体基板の所要の位置に、該半導体基板を各々1つ

の上記半導体素子を有する複数の半導体チップに分離するための第1のチップ分離溝を、その深さが上記半導体基板の裏面を研磨または薄板化加工した後に得られる該半導体基板の所定の厚さ以下となるように形成する工程と、該第1チップ分離溝の内面に第1の溝内金属層を形成する工程と、上記半導体基板の裏面を研磨または薄板化加工し、その厚さを上記の所定の厚さとする工程と、上記半導体基板の裏面の全面に第1の給電層を形成した後、該第1給電層裏面の上記第1チップ分離溝に対応する領域以外の領域に電解メッキにより放熱のための金属層である第1のPHS層を形成する工程と、該第1PHS層をマスクとして、上記第1給電層及び上記半導体基板を裏面側から上記第1溝内金属層が露出するまでエッチングして第2のチップ分離溝を形成することにより上記半導体基板を複数の上記半導体チップに分離する工程と、上記半導体基板の裏面側の上記第1PHS層及び上記第2チップ分離溝を含む全面に第2の給電層を形成する工程と、上記第2給電層の裏面の全面に電解メッキにより第2のPHS層を形成する工程と、上記第1チップ分離溝内において上記第1溝内金属層、上記第2給電層及び上記第2PHS層を切断することにより、各々上記半導体チップと、その裏面側に設けられた上記第1及び第2PHS層とからなる複数の半導体装置を形成する工程とを含むから、PHS層が半導体基板裏面全面に形成されることにより、半導体チップ間の機械的結合の強度が増し、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工による第1溝内金属層の破損または半導体基板裏面への突出もない。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。さらに、上記第1PHS層は第2チップ分離溝領域には形成されていないため、第2PHS層形成直後のこの層の裏面は、チップ分離溝領域では第1PHS層の厚さと第2チップ分離溝の深さを合わせた分だけ窪んでいる。従って、チップ分離溝領域の金属層を切断する際に発生する第2PHS層のバリを上記の窪み内に納めることができるとなる。すなわち、上記切断工程後に得られる半導体チップとその裏面に形成されたPHS層からなる半導体装置において、上記PHS層のバリは半導体チップ直下のPHS層の裏面より突出するとはない。従って、この半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性を良好なものとすることができる。すなわち、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0044】この発明（請求項9）に係る半導体装置の製造方法では、上記の半導体装置の製造方法（請求項8）において、上記第1給電層が、Ti及びAuが順に積層されてなるものであり、上記第1給電層及び上記半

導体基板をエッチングする工程が、上記第1給電層を湿式エッチングにより除去した後上記半導体基板をエッチングするものであるから、PHS層が半導体基板裏面全面に形成されることにより、半導体チップ間の機械的結合の強度が増し、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工による第1溝内金属層の破損または半導体基板裏面への突出もない。さらに、上記第1給電層はTi及びAuが積層されてなるものであるから、蒸着またはスパッタリングデポジションによって容易に形成でき、また半導体基板裏面に接しているのはTi層であるため、この第1給電層と半導体基板との密着性は良好なものとなり、またこの給電層形成直後に裏面に露出しているのはAu層であるため、この上にAuを電解メッキすることにより、PHS層を容易に形成することができる。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。さらに、上記第1PHS層は第2チップ分離溝領域には形成されていないため、第2PHS層形成直後のこの層の裏面は、チップ分離溝領域では、第1PHS層の厚さと第2チップ分離溝の深さを合わせた分だけ窪んでいる。従って、チップ分離溝領域の金属層を切断する際に発生する第2PHS層のバリを上記の窪み内に納めることが可能となる。すなわち、上記切断工程後に得られる半導体チップとその裏面に形成されたPHS層からなる半導体装置において、上記PHS層のバリは半導体チップ直下のPHS層の裏面より突出することはない。従って、この半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性を良好なものとすることができる。これにより、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0045】この発明（請求項10）に係る半導体装置の製造方法では、上記の半導体装置の製造方法（請求項8または9）において、上記第2給電層が、NiまたはNi-Pからなり、その膜厚は3ないし5μmであるから、上記のように、PHS層が半導体基板裏面全面に形成されることにより、半導体チップ間の機械的結合の強度が増し、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工による第1溝内金属層の破損または半導体基板裏面への突出もない。さらに、第2PHS層の半導体基板表面側に存在する第2給電層が、通常PHS層を構成するAuまたはCuより硬いNiまたはNi-Pからなるものであるから、チップ分離溝領域の金属層を切断する工程において、PHS層の切断面に発生する半導体基板表面側へPHS金属が突出したものであるカエリを抑制することができる。以上のように、この製造方法を用いる

ことにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。さらに、上記第1PHS層は第2チップ分離溝領域には形成されていないため、第2PHS層形成直後のこの層の裏面は、チップ分離溝領域では第1PHS層の厚さと第2チップ分離溝の深さを合わせた分だけ窪んでいる。従って、チップ分離溝領域の金属層を切断する際に発生する第2PHS層のバリを上記の窪み内に納めることが可能となる。すなわち、上記切断工程後に得られる半導体チップとその裏面に形成された

10 PHS層からなる半導体装置において、上記PHS層のバリは半導体チップ直下のPHS層の裏面より突出することはない。従って、この半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性を良好なものとすることができる。これにより、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0046】この発明（請求項11）に係る半導体装置の製造方法では、その表面に複数の半導体素子が形成された半導体基板の所要の位置に、該半導体基板を各々1つの上記半導体素子を有する複数の半導体チップに分離するための第1のチップ分離溝を、その深さが上記半導体基板の裏面を研磨または薄板化加工した後に得られる該半導体基板の所定の厚さ以下となるように形成する工程と、該第1チップ分離溝の内面に第1の溝内金属層を形成する工程と、上記半導体基板の裏面を研磨または薄板化加工し、その厚さを上記の所定の厚さとする工程と、上記半導体基板の裏面の全面に第1の給電層を形成した後、該第1給電層裏面の上記第1チップ分離溝に対応する領域以外の領域に電解メッキによりメッキ金属層を形成する工程と、該メッキ金属層をマスクとして、上記第1給電層及び上記半導体基板を裏面側から上記第1溝内金属層が露出するまでエッチングすることにより第2のチップ分離溝を形成し、上記半導体基板を複数の上記半導体チップに分離する工程と、上記第2チップ分離溝を含む上記半導体基板の裏面側の全面に第2の給電層を形成した後、該第2給電層の裏面の全面に、第2の溝内金属層を構成する金属より軟らかい金属からなり、上記第2溝内金属層の切断を容易にするための緩衝金属層を形成する工程と、上記緩衝金属層裏面の上記第2チップ分離溝領域に、PHS層を構成する金属より硬い金属からなる第2の溝内金属層を形成する工程と、上記緩衝金属層裏面の上記第2チップ分離溝領域以外の領域に、放熱のための金属層である第1のPHS層を形成する工程と、上記第2溝内金属層及び上記第1PHS層の裏面の全面に放熱のための金属層である第2のPHS層を形成する工程と、上記第1チップ分離溝内において上記第1溝内金属層、上記第2給電層、上記緩衝金属層及び上記第2PHS層を切断することにより、各々上記半導体チップと、その裏面側に設けられた上記第1及び第2PHS層とからなる複数の半導体装置を形成する工程とを

40 50

含むから、PHS層が半導体基板裏面全面に形成されることにより、半導体チップ間の機械的結合の強度が増し、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工による第1溝内金属層の破損または半導体基板裏面への突出もない。さらに、第2PHS層の半導体基板表面側に存在する第2溝内金属層が、PHS層を構成する金属より硬い金属からなるものであるから、チップ分離溝領域の金属層を切断する工程において、PHS層の切断面に発生する半導体基板表面側へのカエリを抑制することができる。また、上記緩衝金属層が形成されているため、チップ分離溝領域における金属層の切断も容易である。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。さらに、上記第1PHS層は第2チップ分離溝領域には形成されていないため、第2PHS層形成直後のこの層の裏面は、チップ分離溝領域では第1PHS層の厚さとその内面に第2溝内金属層を有する第2チップ分離溝の深さを合わせた分だけ窪んでいる。従って、チップ分離溝領域の金属層を切断する際に発生する第2PHS層のバリを上記の窪み内に納めることができるとなる。すなわち、上記切断工程後に得られる半導体チップとその裏面に形成されたPHS層からなる半導体装置において、上記PHS層のバリは半導体チップ直下のPHS層の裏面より突出することはない。従って、この半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性を良好なものとすることができます。これにより、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。また、上記の半導体装置の製造方法（請求項10）は、第2PHS層の切断面に発生するカエリを防止するため、通常PHS層を構成する金属であるAuまたはCuより硬いNiまたはNi-Pからなる第2給電層の厚さを3~5μmと厚くするものであるが、NiまたはNi-Pは、AuまたはCuより熱伝導率が低いため、半導体基板裏面側の全面に形成されているこの第2給電層を厚くすると、半導体チップからPHS層への放熱性を劣化させてしまう。これに対して、本製造方法（請求項11）では、PHS層を構成する金属より硬い金属からなる第2溝内金属層が第2チップ分離溝領域にのみ形成されているため、半導体チップからPHS層への放熱性を劣化させことなく、PHS層の切断面におけるカエリの発生を防止することができる。

【0047】この発明（請求項12）に係る半導体装置の製造方法では、その表面に複数の半導体素子が形成された半導体基板の所要の位置に、該半導体基板を各々1つの上記半導体素子を有する複数の半導体チップに分離するための第1のチップ分離溝を、その深さが上記半導体基板の裏面を研磨または薄板化加工した後に得られる

該半導体基板の所定の厚さ以下となるように形成する工程と、該第1チップ分離溝の内面に第1の溝内金属層を形成する工程と、上記半導体基板の裏面を研磨または薄板化加工し、その厚さを上記の所定の厚さとする工程と、上記半導体基板の裏面の全面に給電層を形成した後、該給電層裏面の上記第1チップ分離溝に対応する領域以外の領域に電解メッキにより放熱のための金属層であるPHS層を形成する工程と、該PHS層をマスクとして、上記給電層及び上記半導体基板を裏面側から上記第1溝内金属層が露出するまでエッチングすることにより第2のチップ分離溝を形成し、上記半導体基板を複数の上記半導体チップに分離する工程と、上記半導体基板の裏面側の全面にセラミックペーストの塗布及び乾燥を行い、上記第2チップ分離溝内及び該第2チップ分離溝領域の上記PHS層間に上記セラミックペーストを充填する工程と、上記セラミックペーストを上記PHS層の裏面が露出するまで研磨または薄板化加工し、平坦化する工程と、上記セラミックペーストを熱処理によりキュアし、セラミック層を形成する工程と、上記第1チップ分離溝内において上記第1溝内金属層及び上記セラミック層を切断することにより、各々上記半導体チップと、その裏面側に設けられたPHS層と、該PHS層の側面全面に突出して設けられた上記セラミック層からなる複数の半導体装置を形成する工程とを含むから、半導体チップ裏面のチップ分離溝領域には、PHS層の厚さと同程度の厚さのセラミック層が形成され、この領域以外の領域にはPHS層が形成されているから、このPHS層形成工程からチップ分離溝領域の各金属層を切断する工程までの半導体チップ間の機械的結合の強度が良好となる。また、この半導体基板裏面の全面にセラミック層またはPHS層が形成されることと、上記第1チップ分離溝の深さが、半導体基板裏面の研磨または薄板化加工により薄板化される半導体基板の厚さより浅いこと、すなわち半導体基板裏面の研磨または薄板化加工時に第1チップ分離溝の下に一定の厚さの半導体基板が残っていることにより、第1溝内金属層に機械的強度を持たせる必要がない。従って、第1溝内金属層の厚さを1μm以下と薄くすることが可能であり、これによって半導体基板裏面の周縁領域において前述のメッキ突起のような厚い金属の突起が形成されることはなくなり、この突起に起因するガラス板貼り付け時の半導体基板のクラック発生も防止できる。さらに、上記のように半導体基板裏面の研磨または薄板化加工時に第1チップ分離溝の下に一定の厚さの半導体基板が残っているため、第1溝内金属層がこの研磨または薄板化加工によって半導体基板裏面に露出することができない。従って、第1溝内金属層がこの研磨または薄板化加工によって破れたり、半導体基板裏面に突出することにより、その後のフォトリソグラフィ工程が困難になることはない。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な、

半導体装置の製造が可能となる。また、半導体基板裏面側のチップ分離溝領域には、上記のようにセラミック層が形成されているから、この領域の金属層及びセラミック層を切断する工程において、このセラミック層にはバリは発生しないため、上記切断工程後に得られる半導体装置を後にチップキャリアに実装する工程において、P H S 層とチップキャリアとの密着性を良好なものとすることができる。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0048】この発明（請求項13）に係る半導体装置の製造方法では、半導体基板上にエッティングトップ層を介して形成され、その表面に複数の半導体素子が形成されたエピタキシャル成長層の所要の位置に、該エピタキシャル層を各々1つの上記半導体素子を有する複数の半導体チップに分離するためのチップ分離溝を、上記エッティングトップ層が露出するまで上記エピタキシャル層をエッティングすることにより形成する工程と、該チップ分離溝の内面に溝内金属層を形成する工程と、上記半導体基板を上記エッティングトップ層が露出して自動的に停止するエッティングにより除去する工程と、上記エッティングトップ層を除去し、上記エピタキシャル成長層の裏面に上記溝内金属層を露出させる工程と、上記エピタキシャル成長層の裏面の全面に放熱のための金属層であるP H S 層を形成する工程と、上記分離溝内において上記溝内金属層及び上記P H S 層を切断することにより、各々上記半導体チップと、その裏面側に設けられたP H S 層とからなる複数の半導体装置を形成する工程とを含むから、上記P H S 層がエピタキシャル層の裏面全面に形成されていることにより、このP H S 層形成工程からチップ分離溝領域の各金属層を切断する工程までの半導体チップ間の機械的結合の強度が良好となる。また、このエピタキシャル層裏面の全面にP H S 層が形成されることと、半導体基板の除去が研磨または薄板化加工によってではなく、エッティングによって行われることにより、溝内金属層に機械的強度を持たせる必要がない。従って、溝内金属層の厚さを $1\text{ }\mu\text{m}$ 以下と薄くすることが可能であり、これによって半導体基板表面の周縁領域において前述のメッキ突起のような厚い金属の突起が形成されることはなくなり、この突起に起因するガラス板貼り付け時の半導体基板のクラック発生も防止できる。さらに、上記のようにチップ分離溝の形成は、半導体基板表面側からエッティングトップ層表面が露出した時点において自動的に停止するようなエッティングによりなされており、この後上記エッティングトップ層のみを選択的にエッティング除去ことにより溝内金属層底面が初めて半導体基板裏面に露出するから、溝内金属層がこの段階で破れたり、半導体基板裏面に突出することはなく、従つ

て、その後のフォトリソグラフィ工程が困難になることはない。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。

【0049】この発明（請求項14）に係る半導体装置の製造方法では、上記の半導体装置の製造方法（請求項1ないし6または8ないし13のいずれか）において、上記第1溝内金属層が、T i 層及びA u 層が積層されてなるものであり、上記第2チップ分離溝を形成する工程が、上記半導体基板をエッティングした後、露出した上記第1溝内金属層の上記T i 層をエッティングにより除去し、上記A u 层を上記第2チップ分離溝内に露出させるものであるから、半導体基板と接しているのはT i 層であるため、上記第1溝内金属層と半導体基板との密着性は良好なものとなる。また、T i 层上に形成されているのは、A u 层であるから、第2チップ分離溝のエッティング後、T i 层のみを選択的にエッティングすることが容易である。さらに、このT i 层のエッティング後第2チップ分離溝内に露出するのはA u 层であるため、このA u 层裏面に第2溝内金属層をメッキにより形成することは、容易である。このように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。

【0050】この発明（請求項15）に係る半導体装置の製造方法では、上記の半導体装置の製造方法（請求項1ないし14のいずれか）において、上記P H S 層、上記第1 P H S 層または上記第2 P H S 層が、A u またはC u からなるものであるから、これらの金属は高い熱伝導率を有しており、半導体チップからチップキャリアへの放熱性が良好となる。

【0051】この発明（請求項16）に係る半導体装置の製造方法では、上記の半導体装置の製造方法（請求項1ないし7、11、14または15のいずれか）において、上記第2溝内金属層または上記硬質金属層が、N i またはN i - P 合金からなるものであるから、チップ分離溝領域の金属層切断工程におけるバリ及びカエリの発生を抑制するとともに、半導体チップ間の機械的結合強度を強化することができる。また、N i またはN i - P 合金からなる層の表面は置換型無電解メッキによりA u に置き換えることができるため、この後この層の表面にA u 层をメッキすることは容易であり、これら2層の密着性も良好となる。このように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。

【0052】この発明（請求項17）に係る半導体装置の製造方法では、上記の半導体装置の製造方法（請求項4、5、11または14ないし16のいずれか）において、上記メッキ金属層または上記緩衝金属層が、A u またはC u からなるものであるから、チップ分離溝領域の金属層を切断する工程において、この領域に硬質金属層

が形成されても、切断が容易となる。このように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。

【0053】この発明（請求項18）に係る半導体装置では、複数の半導体素子が形成されている半導体基板の表面に第1のチップ分離溝を、該第1チップ分離溝の内面に第1の溝内金属層を形成し、上記半導体基板の裏面を研磨または薄板化加工することによりその厚さを所定の厚さとし、上記半導体基板の裏面に、上記第1溝内金属層の底面が露出するように第2のチップ分離溝を、該第2チップ分離溝の内面に第2の溝内金属層を形成した後、上記半導体基板の裏面側の全面に、放熱のための金属層であるPHS層を形成し、上記第1チップ分離溝において上記第1溝内金属層、上記第2溝内金属層及び上記PHS層を切断することにより作製されてなり、1つの上記半導体チップと、その裏面側に、その側面より外側に突出して設けられた上記PHS層とを備え、上記PHS層の外周部分の高さは、該PHS層の中央部分の高さより上記第2溝内金属層をその内面に有する上記第2チップ分離溝の深さの分だけ高いものであるから、半導体基板裏面の全面にPHS層が形成されることと、半導体基板裏面の研磨または薄板化加工時に第1チップ分離溝の下に一定の厚さの半導体基板が残っていることにより、第1溝内金属層に機械的強度を持たせる必要が無い。このため第1溝内金属層の厚さを1μm以下と薄くすることが可能であり、これによって半導体基板表面の周縁領域において前述のメッキ突起のような厚い金属の突起が形成されることはなくなり、この突起に起因するガラス板貼り付け時の半導体基板のクラック発生も防止できる。また、PHS層裏面のチップ分離溝領域には、その内面に第2溝内金属層を有する上記第2チップ分離溝の深さ程度の窪みができており、これによってこの領域の金属層を切断する工程において、PHS層に発生するバリの半導体チップ領域のPHS層裏面からの突出の程度を低減できる。従って、上記切断工程後に得られる半導体装置を後にチップキャリアに実装する工程におけるPHS層とチップキャリアとの密着性は、従来技術として既に説明した、PHS層のバリが完全にその裏面に突出している場合より良好なものとすることができます。これにより、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0054】この発明（請求項19）に係る半導体装置では、上記の半導体装置（請求項18）において、上記PHS層が、上記半導体基板の裏面側の上記第2チップ分離溝以外の領域に第1のPHS層を形成した後、該第1PHS層を含む半導体基板の裏面側の全面に第2のPHS層を形成してなるものであり、1つの上記半導体チップと、その裏面側に設けられた上記第1PHS層と、該第1PHS層の裏面側及び側面側に設けられ、上記半導体チップの側面より外側に突出した上記第2PHS層

とを備え、上記第2PHS層の外周部分の高さは、上記第2PHS層の中央部分の高さより上記第1PHS層の厚さと上記第2溝内金属層をその内面に有する上記第2チップ分離溝の深さを合わせた分だけ高いものであるから、上記のようにPHS層が半導体基板裏面全面に形成されることにより、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生を防止できる。さらに、上記第1PHS層は第2チップ分離溝領域には形成されていないため、
10 第2PHS層形成直後のこの層の裏面は、チップ分離溝領域では第1PHS層の厚さとその内面に第2溝内金属層を有する上記第2チップ分離溝の深さを合わせた分だけ窪んでいる。従って、チップ分離溝領域の金属層を切断する際に発生する第2PHS層のバリを上記の窪み内に納めることができるとなる。すなわち、上記切断工程後に得られる半導体チップとその裏面に形成されたPHS層からなる半導体装置において、上記PHS層のバリは半導体チップ直下のPHS層の裏面より突出することはない。従って、この半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性を良好なものとすることができる。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。
【0055】この発明（請求項20）に係る半導体装置では、複数の半導体素子が形成されている半導体基板の表面に第1のチップ分離溝を、該第1チップ分離溝の内面に第1の溝内金属層を形成し、上記半導体基板の裏面を研磨または薄板化加工することによりその厚さを所定の厚さとし、上記半導体基板の裏面に、上記第1溝内金属層の底面が露出するように第2のチップ分離溝を、該第2チップ分離溝の内面に第2の溝内金属層を形成した後、上記半導体基板の裏面側の第2チップ分離溝が形成された領域に、PHS層を構成する金属より硬い金属からなり、その厚さがPHS層とほぼ同じである硬質金属層を形成し、上記半導体基板の裏面側の全面に放熱のための金属層であるPHS層を形成した後、上記PHS層の裏面を上記硬質金属層の裏面が露出するまで研磨または薄板化加工して平坦化し、上記第1チップ分離溝において上記第1溝内金属層、上記第2溝内金属層及び上記硬質金属層を切断することにより作製されてなり、1つの上記半導体チップと、その裏面側に設けられた上記PHS層と、該PHS層の側面全周に突出して設けられた上記硬質金属層とを備えたから、この半導体基板裏面の全面に硬質金属層またはPHS層が形成されることと、上記第1チップ分離溝の深さが、半導体基板裏面の研磨または薄板化加工により薄板化される半導体基板の厚さより浅いこと、すなわち半導体基板裏面の研磨または薄板化加工時に第1チップ分離溝の下に一定の厚さの半導体基板が残っていることにより、第1溝内金属層に機械的強度を持たせる必要がない。従って、第1溝内金
30
40
50

属層の厚さを $1 \mu\text{m}$ 以下と薄くすることが可能であり、これによって半導体基板表面の周縁領域において前述のメッキ突起のような厚い金属の突起が形成されることはなくなり、この突起に起因するガラス板貼り付け時の半導体基板のクラック発生も防止できる。また、半導体基板裏面側のチップ分離溝領域には、上記のように硬質金属層が形成されているから、この領域の金属層を切断する際に、この硬質金属層に発生するバリは PHS 層を直接切断することによって発生するバリより小さく、この半導体装置を後にチップキャリアに実装する工程において、PHS 層とチップキャリアとの密着性は PHS 層のバリがその裏面に突出している場合より良好なものとすることができる。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0056】この発明（請求項 21）に係る半導体装置では、上記の半導体装置（請求項 20）において、上記硬質金属層が、Au—Sn 合金からなるものであるから、上記のように、半導体基板表面周縁領域の金属の突起形成がないため、半導体基板のクラックの発生を防止できる。さらに、上記硬質金属層を切断する際にその切断面に発生するバリは、この硬質金属層が Au—Sn 合金からなるものであるため、半導体装置をチップキャリアに実装する際、 300°C 程度に加熱することにより溶融してしまい、PHS 層とチップキャリアの密着性を劣化させることはない。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0057】この発明（請求項 22）に係る半導体装置では、複数の半導体素子が形成されている半導体基板の表面に第 1 のチップ分離溝を、該第 1 チップ分離溝の内面に第 1 の溝内金属層を形成し、上記半導体基板の裏面を研磨または薄板化加工することによりその厚さを所定の厚さとし、上記第 1 チップ分離溝に対応する上記半導体基板の裏面側の領域以外の領域に放熱のための金属層である第 1 の PHS 層を形成した後、該第 1 PHS 層をマスクとして、上記半導体基板を裏面側から上記第 1 溝内金属層の底面が露出するまでエッチングすることにより第 2 のチップ分離溝を形成し、上記半導体基板の裏面側の全面に第 2 の PHS 層を形成した後、上記第 1 チップ分離溝内において上記第 1 溝内金属層及び上記第 2 PHS 層を切断することにより作製されてなり、1 つの上記半導体チップと、その裏面側に設けられた上記第 1 PHS 層と、該第 1 PHS 層の裏面側及び側面側に設けられ、上記半導体チップの側面より外側に突出した上記第 2 PHS 層とを備え、上記第 2 PHS 層の外周部分の高さは、上記第 2 PHS 層の中央部分の高さより上記第 1 PHS 層の厚さと上記第 2 溝内金属層をその内面に有する上記第 2 チップ分離溝の深さを合わせた分だけ高いものであるから、PHS 層が半導体基板裏面全面に形成されることにより、第 1 溝内金属層の厚さを $1 \mu\text{m}$ 以下と薄くすることが可能であり、半導体基板表面周縁領域に

おける金属の突起の形成がなく、これによる半導体基板におけるクラックの発生が防止できる。さらに、上記第 1 PHS 層は第 2 チップ分離溝領域には形成されていないため、第 2 PHS 層形成直後のこの層の裏面は、チップ分離溝領域では第 1 PHS 層の厚さと第 2 チップ分離溝の深さを合わせた分だけ窪んでいる。従って、チップ分離溝領域の金属層を切断する際に発生する第 2 PHS 層のバリを上記の窪み内に納めることができるとなる。すなわち、この半導体装置において、上記 PHS 層のバリは半導体チップ直下の PHS 層の裏面より突出することはない。従って、この半導体装置を後にチップキャリアに実装する工程において、PHS 層とチップキャリアとの密着性を良好なものとすることができます。これにより、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0058】この発明（請求項 23）に係る半導体装置では、複数の半導体素子が形成されている半導体基板の表面に、第 1 のチップ分離溝を、該第 1 チップ分離溝の内面に第 1 の溝内金属層を形成し、上記半導体基板の裏面を研磨または薄板化加工することによりその厚さを所定の厚さとし、上記第 1 チップ分離溝に対応する上記半導体基板の裏面の領域以外の領域にメッキ金属層を形成した後、該メッキ金属層をマスクとして、上記半導体基板を上記第 1 溝内金属層の底面が露出するまでエッチングすることにより第 2 のチップ分離溝を形成し、上記半導体基板の裏面側の全面に、第 2 の溝内金属層を構成する金属より軟らかい金属からなる緩衝金属層を形成した後、該緩衝金属層裏面の上記第 2 チップ分離溝領域に、PHS 層を構成する金属より硬い金属からなる第 2 溝内金属層を形成し、上記緩衝金属層裏面の上記第 2 チップ分離溝領域以外の領域に、第 1 の PHS 層を形成した後、上記第 2 溝内金属層及び上記第 1 PHS 層の裏面の全面に第 2 の PHS 層を形成し、上記第 1 チップ分離溝内において上記第 1 溝内金属層、上記緩衝金属層、上記第 2 溝内金属層及び上記第 2 PHS 層を切断することにより作製されてなり、1 つの上記半導体チップと、その裏面側に設けられた緩衝金属層と、該緩衝金属層の裏面側に設けられた上記第 1 PHS 層と、該第 1 PHS 層の裏面側及び側面側に設けられ、上記半導体チップの側面より外側に突出した上記第 2 PHS 層とを備え、上記第 2 PHS 層の外周部分の高さは、上記第 2 PHS 層の中央部分の高さより上記第 1 PHS 層の厚さと上記第 2 溝内金属層をその内面に有する上記第 2 チップ分離溝の深さを合わせた分だけ高いものであるから、PHS 層が半導体基板裏面全面に形成されることにより、第 1 溝内金属層の厚さを $1 \mu\text{m}$ 以下と薄くすることが可能であり、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生が防止できる。さらに、上記第 1 PHS 層は第 2 チップ分離溝領域には形成されていないため、第 2 PHS 層形成直

後のこの層の裏面は、チップ分離溝領域では第1 PHS層の厚さとその内面に第2溝内金属層を有する第2チップ分離溝の深さを合わせた分だけ埋んでいる。従って、チップ分離溝領域の金属層を切断する際に発生する第2 PHS層のバリを上記の埋み内に納めることができるとなる。すなわち、この半導体装置において、上記PHS層のバリは半導体チップ直下のPHS層の裏面より突出することはない。従って、この半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性を良好なものとすることができる。これにより、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。さらに、第2PHS層の半導体基板表面側に存在する第2溝内金属層が、PHS層を構成する金属より硬い金属からなるものであるから、チップ分離溝領域の金属層を切断する際に、PHS層の切断面に発生する半導体基板表面側へのカエリを抑制することができる。

【0059】この発明（請求項24）に係る半導体装置では、複数の半導体素子が形成されている半導体基板の表面に第1のチップ分離溝を、該第1チップ分離溝の内面に第1の溝内金属層を形成し、上記半導体基板の裏面を研磨または薄板化加工し、その厚さを所定の厚さとし、上記第1チップ分離溝に対応する上記半導体基板の裏面側の領域以外の領域に放熱のための金属層であるPHS層を形成した後、該PHS層をマスクとして、上記半導体基板を裏面側から上記第1溝内金属層の底面が露出するまでエッチングすることにより第2のチップ分離溝を形成し、上記第2チップ分離溝内及び該第2チップ分離溝領域の上記PHS層間にセラミックペーストを充填した後、上記セラミックペーストを熱処理によりキュアしてセラミック層を形成し、上記第1チップ分離溝において上記第1溝内金属層及び上記セラミック層を切断することにより作製されてなり、1つの上記半導体チップと、その裏面側に設けられた上記PHS層と、該PHS層の側面全周に突出して設けられた上記セラミック層とを備えたから、半導体チップ裏面のチップ分離溝領域には、PHS層の厚さと同程度の厚さのセラミック層が形成され、この領域以外の領域にはPHS層が形成されているから、第1溝内金属層に機械的強度を持たせる必要がない。従って、第1溝内金属層の厚さを1μm以下と薄くすることが可能であり、これによって半導体基板表面の周縁領域において前述のメッキ突起のような厚い金属の突起が形成されることはない、この突起に起因するガラス板貼り付け時の半導体基板のクラック発生も防止できる。また、半導体基板裏面側のチップ分離溝領域には、上記のようにセラミック層が形成されているから、この領域の金属層及びセラミック層を切断する工程において、このセラミック層にはバリは発生しないため、上記切断工程後に得られる半導体装置を後にチップキャリアに実装する工程において、PHS層とチップ

キャリアとの密着性を良好なものとすることができます。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0060】この発明（請求項25）に係る半導体装置では、半導体基板上にエッチングトップ層とエピタキシャル成長層が積層されており、複数の半導体素子が形成されている上記エピタキシャル層の表面にチップ分離溝を上記エッチングトップ層が露出して自動的に停止するエッチングにより形成した後、該チップ分離溝の内面に溝内金属層を形成し、上記半導体基板を上記エッチングトップ層が露出して自動的に停止するエッチングにより除去した後、上記エッチングトップ層を除去して、上記エピタキシャル成長層の裏面に上記溝内金属層の底面を露出させ、上記エピタキシャル成長層の裏面の全面に放熱のための金属層であるPHS層を形成した後、上記チップ分離溝内において上記溝内金属層及び上記PHS層を切断することにより作製されてなり、1つの上記半導体チップと、その裏面側に、上記半導体チップの側面より外側に突出して設けられた上記PHS層とを備えたから、この半導体基板裏面の全面にPHS層が形成されることと、半導体基板の薄板化が研磨または薄板化加工によってではなく、エッチングによって行われることにより、溝内金属層に機械的強度を持たせる必要がない。従って、溝内金属層の厚さを1μm以下と薄くすることが可能であり、これによって半導体基板表面の周縁領域において前述のメッキ突起のような厚い金属の突起が形成されることはない、この突起に起因するガラス板貼り付け時の半導体基板のクラック発生も防止できる。

30 【0061】
【実施例】

実施例1. この発明の第1の実施例について説明する。図1は本実施例による半導体装置の製造方法を工程順に示す断面図である。まず、半導体素子が形成された半導体基板1の表面のチップ分離溝領域以外の領域にフォトレジスト4を形成した後、このフォトレジスト4をマスクとして、半導体基板1をエッチングし、第1のチップ分離溝2を形成する。ただし、この第1チップ分離溝2の深さは、後の裏面の研磨または薄板化加工によって得られる半導体基板1の厚さ（例えば30μm）の1/2程度となるようにする。このエッチングは最初反応性イオンエッチング等の異方性エッチングを行い、続いて等方性の湿式エッチングを追加することにより、フォトレジストマスク下のアンダーエッチ3を形成する（図1(a)）。次に、蒸着またはスペッタリングデポジションにより全面にTi層、Au層を順に被着させる（図1(b)）。これら2層からなる積層膜5の膜厚は250～500nmである。ただし、Ti層は、その厚さが約50nmであり、半導体基板との良好な密着性を得るためにある。この後、フォトレジスト4を除去するこ

39

とにより、上記第1チップ分離溝2内にのみ上記Ti/Au積層膜からなる第1溝内金属層5を残す(図1(c))。これは、上記フォトレジストマスク下のアンダーエッチ3が存在するため容易となる。次に、貼り付け用ワックス6を用いて、半導体基板表面にガラス板7を貼り合わせ、さらに、半導体基板裏面を研磨または薄板化加工(研削、ラッピング、ポリッシング等)することにより、半導体基板1の厚さを25~30μmまで薄板化する(図1(d))。次に、半導体基板裏面の上記第1チップ分離溝2に対応する領域以外の領域にフォトレジスト8を形成し、このフォトレジストをマスクとして、半導体基板1を上記第1溝内金属層5の底面が露出するまでエッチングし、第2のチップ分離溝2'を形成することにより、半導体基板1を半導体チップに分割する(図1(e))。続いて、この第2チップ分離溝2'内に露出した第1溝内金属層5の下層であるTi層のみを硫酸・過酸化水素系エッチャントを用いて選択的にエッチングし、Au層を露出させる。さらに、Ni系無電解メッキにより第2チップ分離溝2'内に第2の溝内金属層9を形成する(図1(f))。NiはAuより硬い金属であり、この第2溝内金属層9は上記第1溝内金属層5を補強するためのものである。次に、Niからなる第2溝内金属層9の裏面の極薄い(数十nm程度)層を置換型無電解メッキにより、Auで置き換える。これは、この層の裏面に次に形成される金属層との密着性を良好なものとするためである。この後、フォトレジスト8を除去し、第2チップ分離溝領域を含む半導体基板裏面側の全面に蒸着、スパッタリングデポジションまたは無電解メッキによりTi及びAuを順次被着させ膜厚約500nmの給電層11を形成する。次に、給電層11の裏面の全面に電解メッキにより、AuまたはCuからなる厚さ40~50μmのPHS層10を形成する(図1(g))。この際、PHS層の裏面のチップ分離溝領域には、上記第2溝内金属層9をその内面に有する第2チップ分離溝に対応した窪み10aができる。最後に、半導体基板1をガラス板7から剥離、洗浄した後、PHS層10の裏面をエキスペンドフィルムに貼り付けて、チップ分離溝領域の金属層をダイシングブレードによって半導体基板表面側から切断することにより、その表面に半導体素子を有する半導体チップ1と、この半導体チップの裏面に形成されたPHS層10とを備えた、図2に示す半導体装置が得られる。図2において、1は上記半導体基板が分割されてなる半導体チップであり、10cは上記チップ分離溝領域の金属層切断によって発生するPHS層のバリである。上記のPHS層裏面の窪み10aが存在するため、バリ10cのPHS層裏面側へ突出する長さは、この窪みの深さの分、すなわち第2チップ分離溝の深さの分だけ低減されている。

【0062】本実施例1によれば、上記PHS層10が半導体基板1の裏面全面に形成されていることにより、

40

このPHS層形成工程からチップ分離溝領域の各金属層を切断する工程までの半導体チップ間の機械的結合の強度が良好となる。また、この半導体基板裏面の全面にPHS層10が形成されることと、上記第1チップ分離溝2の深さが、半導体基板裏面の研磨または薄板化加工により薄板化される半導体基板の厚さ(30μm)より浅く、その1/2程度であること、すなわち半導体基板裏面の研磨または薄板化加工直後に第1チップ分離溝2の下に一定の厚さの半導体基板が残っていることにより、第1溝内金属層5に機械的強度を持たせる必要がない。従って、第1溝内金属層5の厚さを250~500nmと薄くすることが可能であり、これによって半導体基板裏面の周縁領域において前述のメッキ突起のような厚い(5μm)金属の突起が形成されることはなくなり、この突起に起因するガラス板貼り付け時の半導体基板のクラック発生も防止できる。さらに、上記のように半導体基板裏面の研磨または薄板化加工直後に第1チップ分離溝2の下に一定の厚さ(15μm程度)の半導体基板が残っているため、第1溝内金属層5がこの研磨または薄板化加工によって半導体基板裏面に露出することがない。従って、第1溝内金属層5がこの研磨または薄板化加工によって破れたり、半導体基板裏面に突出することにより、その後のフォトリソグラフィ工程が困難になることはない。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な製造工程を得ることができる。また、PHS層裏面のチップ分離溝領域には、上記第2溝内金属層9をその内面に有する上記第2チップ分離溝2'の深さ程度の窪みができるおり、これによってこの領域の金属層を切断する工程において、PHS層10に発生するバリ10aの半導体チップ直下のPHS層裏面より突出する部分の長さを低減できる。従って、上記切断工程後に得られる半導体装置を後にチップキャリアに実装する工程におけるPHS層とチップキャリアとの密着性は、従来技術として既に説明した、PHS層のバリが完全にその裏面に突出している場合より良好なものとすることができます。これにより、良好な放熱性を有し、信頼性の高い半導体装置を得ることができます。

【0063】実施例2. この発明の第2の実施例について説明する。図3は本実施例による半導体装置の製造方法を工程順に示す断面図である。まず、実施例1で図1(a)~(f)に示した工程を行う。図3(a)は、図1(f)と同じく第2溝内金属層9を形成した直後の断面図である。さらに、実施例1と同様にNiからなる第2溝内金属層の裏面をAuで置換し、フォトレジスト8を除去した後、半導体基板裏面の全面にTi/Au積層膜からなる給電層11を形成する。次に、給電層11の裏面において、チップ分離溝領域を含むそれより広い領域に厚さ約40μmのフォトレジスト8'を形成し、このフォトレジスト8'をマスクとして電解メッキを行い、Auま

たはCuからなる厚さ20～30μmの第1のPHS層100を形成する(図3(b))。さらに、フォトレジスト8を除去し(図3(c))、半導体基板裏面側の全面に電解メッキにより、AuまたはCuからなる厚さ約30μmの第2のPHS層101を形成する(図3(d))。これにより、第1PHS層100と第2PHS層101からなるPHS層10が得られる。この第2PHS層101の裏面には、第2チップ分離溝22に対応する第1の窪み10aと、第1PHS層100が形成されていない領域に対応する第2の窪み10bができる。この第2の窪み10bが、第2PHS層裏面の窪みが形成されていない領域(ほぼ半導体チップ直下の領域)に対して有する段差は、第1PHS層100の厚さと同程度の20～30μmであり、第1の窪み10aは、第2の窪み10bに対してさらに上記第2溝内金属層9をその内面に有する第2チップ分離溝の深さ程度、すなわち10μm程度の段差を有する。従って、第1の窪み10aが第2PHS層裏面の窪みが形成されていない領域に対して有する段差は、35～45μmとなる。すなわち、この段差は実施例1におけるPHS層の窪みが有する段差より、第1PHS層の厚さの分だけ大きくなっている。次に、実施例1と同様に、半導体基板1からガラス板7を剥離し、洗浄した後、PHS層裏面をエキスパンドテープに貼り付け、チップ分離溝領域の金属層をダイシングブレードによって半導体基板表面側から切断する(図3(e))。図中の10cは、PHS層の切断面に発生するバリである。これにより、その表面に半導体素子を有する半導体チップ1と、この半導体チップの裏面に形成されたPHS層10とを備えた、図4に示す半導体装置が得られる。

【0064】本実施例2によれば、第2PHS層101が半導体基板裏面全面に形成されることにより、半導体チップ間の機械的結合の強度が増し、また第1溝内金属層5の厚さを薄く(250～500nm)できるため、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生も防止できる。また、半導体基板裏面の研磨または薄板化加工による第1溝内金属層5の破損または半導体基板裏面への突出もない。このように、この製造方法を用いることにより、安定した、歩留まりの良好な製造工程を得ることができる。さらに、上記第1PHS層100は第2チップ分離溝22領域には形成されていないため、第2PHS層101形成直後のこの層の裏面は、チップ分離溝領域では第1PHS層100の厚さに上記第2溝内金属層9をその内面に有する第2チップ分離溝22の深さを加えた分(30～40μm)だけ窪んでいる。これは、実施例1におけるPHS層裏面の窪みの深さより第1PHS層100の厚さの分だけ深い。従って、チップ分離溝領域の金属層を切断する際に発生する第2PHS層101のバリ10cを上記の窪み内に完全に納めるこ

とが可能となる。すなわち、上記切断工程後に得られる半導体チップとその裏面に形成されたPHS層からなる半導体装置において、上記PHS層のバリは半導体チップ直下のPHS層の裏面より突出することはない。従って、この半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性を良好なものとすることができる。これにより、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

10 **【0065】**実施例3、この発明の第3の実施例について説明する。図5は本実施例による半導体装置の製造方法を工程順に示す断面図である。まず、実施例1で図1(a)～(f)に示した工程を行う。図5(a)は、図1(f)と同じく第2溝内金属層9を形成した直後の断面図である。さらに、実施例1と同様にNiからなる第2溝内金属層の裏面をAuで置換し、フォトレジスト8を除去した後、半導体基板裏面の全面にTi/Au積層膜からなる厚さ約0.5μmの給電層11を形成する。次に、給電層11裏面の全面において、電解メッキによりAuまたはCuからなる厚さ約5μmの緩衝金属層13形成する(図5(b))。さらに、緩衝金属層13の裏面のチップ分離溝領域以外の領域にフォトレジスト8を形成し(図5(c))、このフォトレジスト8をマスクとして、電解メッキまたは無電解メッキを行い、Niからなる硬質金属層15を形成する(図5(d))。次に、フォトレジスト8を除去した後、半導体基板裏面側の全面に電解メッキによりAuからなる厚さ40～50μmのPHS層10を形成する(図5(e))。さらに、PHS層10の裏面を機械加工、放電加工等により平坦化し、硬質金属層15を露出させる(図5(f))。最後に、半導体基板1からガラス板7を剥離し、洗浄した後、PHS層裏面をエキスパンドテープに貼り付け、チップ分離溝領域の金属層をダイシングブレードによって半導体基板表面側から切断する(図5(g))。これにより、図7に示すような、その表面に半導体素子を有する半導体チップ1と、その裏面に設けられたPHS層10と、このPHS層10の側面全周に突出して設けられた硬質金属層15からなる半導体装置が得られる。ただし、図7においては、給電層11は省略している。

20 **【0066】**本実施例3によれば、半導体基板裏面のチップ分離溝領域には、PHS層10の厚さと同程度の厚さの硬質金属層15が形成され、この領域以外の領域にはPHS層10が形成されることになる。従って、このPHS層形成工程からチップ分離溝領域の各金属層を切断する工程までの半導体チップ間の機械的結合の強度が良好となる。また、この半導体基板裏面の全面に硬質金属層15またはPHS層10が形成されることと、上記第1チップ分離溝2の深さ(約15μm)が、半導体基板裏面の研磨または薄板化加工により薄板化される半導体基板の厚さ(約30μm)より浅いこと、すなわち半

30 **【0067】**本実施例3によれば、半導体基板裏面のチップ分離溝領域には、PHS層10の厚さと同程度の厚さの硬質金属層15が形成され、この領域以外の領域にはPHS層10が形成されることになる。従って、このPHS層形成工程からチップ分離溝領域の各金属層を切断する工程までの半導体チップ間の機械的結合の強度が良好となる。また、この半導体基板裏面の全面に硬質金属層15またはPHS層10が形成されることと、上記第1チップ分離溝2の深さ(約15μm)が、半導体基板裏面の研磨または薄板化加工により薄板化される半導体基板の厚さ(約30μm)より浅いこと、すなわち半

40 **【0068】**本実施例3によれば、半導体基板裏面のチップ分離溝領域には、PHS層10の厚さと同程度の厚さの硬質金属層15が形成され、この領域以外の領域にはPHS層10が形成されることになる。従って、このPHS層形成工程からチップ分離溝領域の各金属層を切断する工程までの半導体チップ間の機械的結合の強度が良好となる。また、この半導体基板裏面の全面に硬質金属層15またはPHS層10が形成されることと、上記第1チップ分離溝2の深さ(約15μm)が、半導体基板裏面の研磨または薄板化加工により薄板化される半導体基板の厚さ(約30μm)より浅いこと、すなわち半

50 **【0069】**本実施例3によれば、半導体基板裏面のチップ分離溝領域には、PHS層10の厚さと同程度の厚さの硬質金属層15が形成され、この領域以外の領域にはPHS層10が形成されることになる。従って、このPHS層形成工程からチップ分離溝領域の各金属層を切断する工程までの半導体チップ間の機械的結合の強度が良好となる。また、この半導体基板裏面の全面に硬質金属層15またはPHS層10が形成されることと、上記第1チップ分離溝2の深さ(約15μm)が、半導体基板裏面の研磨または薄板化加工により薄板化される半導体基板の厚さ(約30μm)より浅いこと、すなわち半

導体基板裏面の研磨または薄板化加工直後に第1チップ分離溝の下に一定の厚さ(約15μm)の半導体基板が残っていることにより、第1溝内金属層5に機械的強度を持たせる必要がない。従って、第1溝内金属層の厚さを250～500nmと薄くすることが可能であり、これによって半導体基板表面の周縁領域において前述のメスキ突起のような厚い金属の突起が形成されることはなくなり、この突起に起因するガラス板7の貼り付け時の半導体基板のクラック発生も防止できる。さらに、上記のように半導体基板裏面の研磨または薄板化加工直後に第1チップ分離溝2の下に一定の厚さの半導体基板が残っているため、第1溝内金属層5がこの研磨または薄板化加工によって半導体基板裏面に露出することはない。従って、第1溝内金属層5がこの研磨または薄板化加工によって破れたり、半導体基板裏面に突出することにより、その後のフォトリソグラフィ工程が困難になることはない。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な製造工程を得ることができる。また、半導体基板裏面側のチップ分離溝領域には、上記のように硬質金属層15が形成されているから、この領域の金属層を切断する工程において、Niからなる硬質金属層15に発生するバリは、NiがAuやCuより硬いため、AuまたはCuからなるPHS層を実施例1または2のように直接切断することによって発生するバリより非常に小さい。従って、上記切断工程後に得られる半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性はPHS層のバリがその裏面に突出している場合より良好なものとすることができます。これにより、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0067】実施例4. この発明の第4の実施例について説明する。図6は本実施例による半導体装置の製造方法を工程順に示す断面図である。まず、実施例1で図1(a)～(d)に示した工程を行う。次に、半導体基板裏面の第1チップ分離溝2に対応する領域以外の領域に厚さ40μm程度のアクリル系の厚いフォトレジスト88を形成する。このフォトレジストをマスクとして、半導体基板1を上記第1溝内金属層5の底面が露出するまでエッチングし、第2のチップ分離溝22を形成し、第1溝内金属層5の下層であるTi層のみを硫酸・過酸化水素系エッチャントを用いて選択的にエッチングし、Au層を露出させた後、Ni系無電解メッキにより第2チップ分離溝22内に第2の溝内金属層9を形成する工程は、実施例1とまったく同様である。図6(a)は、第2溝内金属層9を形成した直後の断面図である。次に、このフォトレジスト88をそのままマスクとして用いて、電解メッキまたは無電解メッキにより、第2溝内金属層9の裏面にAuまたはCuからなる厚さ約5μmの緩衝金属層13と、この緩衝金属層13の裏面にNiまたはNi-Pからなる厚さ約40μmの硬質金属層15をつづけ

て形成する。さらに、フォトレジスト88を除去した後、半導体基板裏面の硬質金属層15の裏面及び側面を含む全面に、Ti/Au積層膜からなる給電層を形成する。この給電層の裏面の全面にAuまたはCuからなるPHS層を電解メッキにより形成した後、PHS層裏面の平坦化を行い、硬質金属層15の裏面を露出させ、チップ分離溝領域の金属層を切断する工程は、実施例3において図5(e)～(g)に示した工程と同じである。これにより、実施例3において示した図7の半導体装置と同様な、その表面に半導体素子を有する半導体チップ1と、その裏面に設けられたPHS層10と、このPHS層10の側面全周に突出して設けられた硬質金属層15からなる半導体装置が得られる。ただし、本実施例4による半導体装置においては、図7と異なり、PHS層10と半導体チップ1の間には緩衝金属層13は存在しない。しかし、緩衝金属層13はPHS層10と同じくAuまたはCuからなるものであり、しかもPHS層と比較してその厚さは充分薄いから、PHS層10と半導体チップ1の間の緩衝金属層13の有無は、この半導体装置の動作にはほとんど影響を与えない。

【0068】本実施例4においては、上記のように硬質金属層15またはPHS層10が半導体基板裏面全面に形成されることにより、半導体チップ間の機械的結合の強度が増し、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工による第1溝内金属層5の破損または半導体基板裏面への突出もない。さらに、硬質金属層15を構成する金属であるNiまたはNi-Pより軟らかいAuまたはCuからなる上記緩衝金属層13がチップ分離溝領域に形成されているため、チップ分離溝領域の金属層の切断は容易となる。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な製造工程を得ることができる。さらに、半導体基板裏面のチップ分離溝領域では、AuまたはCuより硬いNiまたはNi-Pからなる硬質金属層15が形成されているため、チップ分離溝領域の金属層を切断する際には、半導体基板裏面側では、PHS層10ではなく硬質金属層15が切断されることになる。この硬質金属層15に発生するバリは、PHS層10を切断することによって発生するバリより小さい。従って、上記切断工程後に得られる半導体装置を後にチップキャリアに実装する工程において、PHS層10とチップキャリアとの密着性はPHS層のバリがその裏面に突出している場合より良好なものとすることができます。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができます。

【0069】実施例5. この発明の第5の実施例について説明する。本実施例による半導体装置の製造方法は、実施例3、4において図5、6に示した半導体装置の製造方法における硬質金属層15に、NiまたはNi-P

ではなく、 $Au-Sn$ 合金を用いたものである。この硬質金属層に用いる材料の違いを除けば、各工程は実施例3, 4とまったく同じである。

【0070】本実施例5においては、半導体チップ間の結合の機械的強度が優れており、半導体基板表面周縁領域の金属の突起形成もないため、半導体基板のクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工時の第1溝内金属層5の破損や半導体基板裏面へのこの金属層の突出もない。さらに、上記硬質金属層15を切断する際にその切断面に発生するバリは、この硬質金属層15が $Au-Sn$ 合金からなるものであるため、半導体装置をチップキャリアに実装する際、300°C程度に加熱することにより溶融してしまい、PHS層10とチップキャリアの密着性を劣化させることはない。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0071】実施例6. この発明の第6の実施例について説明する。図8は本実施例による半導体装置の製造方法を示す断面図である。本実施例による半導体装置の製造方法は、実施例1～5に示した半導体装置の製造方法における第1溝内金属層5に、前述の Ti/Au からなる2層膜ではなく、 $Ti/Pd/Au$ からなる3層膜を用いたものである。まず、実施例1において、図1(a)～(d)に示した工程を行う。上記3層膜からなる第1溝内金属層5の形成方法は、実施例1～5と同じく、蒸着またはスパッタリングデポジションとリフトオフによるものである。次に、図1(e)に示したように、第2チップ分離溝をエッチングにより形成する。さらに、図8に示すように、第2チップ分離溝22内に露出した第1溝内金属層5の最下層である Ti 層5cのみを選択的にエッチングし、 Pd 層5bを露出させる。この後、この Pd 層5bを活性化層(触媒)として、 Ni 系無電解メッキを行うことにより、第2溝内金属層9を形成する。この後の工程は、実施例1～5に示したいずれの工程を用いても良い。

【0072】本実施例6においては、前述のように半導体チップ間結合の機械的強度が優れており、半導体基板表面周縁領域の金属の突起形成もないため、半導体基板のクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工時の第1溝内金属層5の破損や半導体基板裏面へのこの金属層の突出もない。さらに、 Pd 層5bを活性化層(触媒)として用いた Ni 系無電解メッキにより、容易に Ni または Ni 系合金からなる第2溝内金属層9を形成することができる。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な製造工程を得ることができる。

【0073】実施例7. この発明の第7の実施例について説明する。図9は本実施例による半導体装置の製造方法を工程順に示す断面図である。まず、実施例1において、図1(a)～(d)に示した工程を行う。次に、半導体

基板裏面の全面に、 Ni 系無電解メッキを用いて、厚さ約0.5μmの第1の給電層111を形成する。この際、 Ni 層形成後、置換型無電解 Au メッキにより、その裏面を Au で置き換える。さらに、給電層111裏面のチップ分離溝領域に厚さ約40μmの厚いフォトレジストを形成し、これをマスクとして厚さ20～30μmの Au または Cu からなる第1のPHS層100を電解メッキにより形成する(図9(a))。次に、この第1PHS層100をマスクとして、チップ分離溝領域の給電層111をイオンミーリングによりエッチング除去する。さらに、この領域において、上記第1給電層111と上記第1PHS層100をマスクに、第1溝内金属層5の底面が露出するまで半導体基板1をエッチングし、第2チップ分離溝22を形成する(図9(b))。次に、上記第1PHS層100の裏面及び側面と上記第2チップ分離溝22内を含む半導体基板裏面側の全面に、上記第1給電層と同様に、 Ni 系無電解メッキと置換型無電解 Au メッキを用いて厚さ約0.5μmの第2の給電層112を形成する。さらに、この第2給電層の裏面の全面に、電解メッキを用いて Au または Cu からなる厚さ約30μmの第2のPHS層101を形成する(図9(c))。この第2PHS層裏面のチップ分離溝領域には、第1PHS層100の厚さと第2チップ分離溝22の深さを合わせた程度の深さを有する窪みができている。続いて、機械研磨または放電加工等によって、第2PHS層101の裏面を平滑化する。この後半導体基板1からガラス板7を剥離して、洗浄し、さらに第2PHS層101の裏面をエキスピンドルテープに貼り付け、チップ分離溝領域内をダイシングブレードによって切断する(図9(d))。この際、第2PHS層101の切断面には、バリ10cが発生するが、第2PHS層裏面のチップ分離溝領域には上記の窪みが存在するため、図に示したように、バリ10cは、この窪み内に収まり、半導体チップ直下の第2PHS層裏面より突出することは無い。以上の工程により、図10に示すような、その表面に半導体素子が形成された半導体チップ1と、この半導体チップ1の裏面に形成された上記第1PHS層100及び第2PHS層101からなるPHS層10とを備えた半導体装置が作製される。

【0074】本実施例7においては、PHS層10が半導体基板裏面全面に形成されることにより、半導体チップ間の機械的結合の強度が増し、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工による第1溝内金属層5の破損または半導体基板裏面への突出もない。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な製造工程を得ることができる。さらに、上記第1PHS層100はチップ分離溝領域には形成されていないため、第2PHS層101形成直後のこの層の

裏面は、チップ分離溝領域では第1PHS層100の厚さと第2チップ分離溝2の深さを合わせた分だけ窪んでいる。従って、チップ分離溝領域の金属層を切断する際に発生する第2PHS層のバリ10cを上記の窪み内に納めることができるとなる。すなわち、上記切断工程後に得られる半導体チップ1とその裏面に形成されたPHS層10からなる半導体装置において、上記PHS層10のバリはPHS層10の裏面から突出することはない。従って、この半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性を良好なものとすることができる。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0075】なお、第1給電層はNi系メッキ層ではなく、蒸着またはスパッタリングデポジションにより形成されたTi/Au積層膜であっても良い。この場合、チップ分離溝領域の第1給電層のエッチングは、ヨウ素/ヨウ化カリウム系のAuエッチャント及びフッ酸系のTiエッチャントを用いた湿式エッチングによって行うことが可能である。このように、第1給電層がTi/Au積層膜であるとすると、この層は蒸着またはスパッタリングデポジションによって容易に形成でき、また半導体基板裏面に接しているのはTi層であるため、この第1給電層と半導体基板との密着性は良好なものとなり、またこの給電層形成直後に裏面に露出しているのはAu層であるため、この上にAuを電解メッキすることにより、PHS層を容易に形成することができる。

【0076】また、Ni系メッキ層からなる第2給電層112の厚さを、上記の0.5μmより厚く、3~5μmとしてもよい。この際、第2PHS層101の半導体基板表面側に存在する第2給電層112が、PHS層を構成するAuまたはCuより硬いNiからなるものであるとともに、その厚さが3~5μmと厚いため、チップ分離溝領域の金属層を切断する工程において、PHS層の切断面に発生する、半導体基板表面側へPHS金属が突出したものであるカエリを抑制することができる。

【0077】実施例8. この発明の第8の実施例について説明する。図11は本実施例による半導体装置の製造方法を工程順に示す断面図である。まず、実施例1において、図1(a)~(d)に示した工程を行う。次に、半導体基板裏面の全面に、Ni系無電解メッキを用いて、厚さ約0.5μmの第1の給電層111を形成する。この際、Ni層形成後、置換型無電解Auメッキにより、その表面をAuで置き換える。さらに、給電層111裏面のチップ分離溝領域にフォトレジストを形成し、これをマスクとして厚さ約5μmのAuまたはCuからなるメッキ金属層113を電解メッキにより形成した後、上記フォトレジストを除去する(図11(a))。次に、このメッキ金属層113をマスクとして、チップ分離溝領域の給電層111をエッチング除去する。さらに、この領

域において、上記第1給電層111と上記メッキ金属層113をマスクに、第1溝内金属層5の底面が露出するまで半導体基板1をエッチングし、第2チップ分離溝22を形成する。次に、第2チップ分離溝22を含む半導体基板裏面側の全面に、Ni系無電解メッキと置換型無電解Auメッキを用いて、厚さ約0.5μmの第2給電層112を形成し、この第2給電層112の裏面全面に電解メッキを用いて、AuまたはCuからなる厚さ約5μmの緩衝金属層114を形成する(図11(b))。この後、緩衝金属層114裏面のチップ分離溝領域以外の領域にフォトレジスト8を形成し、このフォトレジスト8をマスクとして、第2チップ分離溝領域にのみ、無電解メッキにより、NiまたはNi-Pからなる厚さ3~5μmの第2溝内金属層9を選択的に形成する(図11(c))。フォトレジスト8を除去した後、チップ分離溝領域に厚さ約40μmのフォトレジスト88を形成し、このフォトレジスト88をマスクとして電解メッキを行い、AuまたはCuからなる厚さ20~30μmの第1のPHS層100を形成する(図11(d))。さらに、フォトレジスト88を除去し、半導体基板裏面側の全面に電解メッキにより、AuまたはCuからなる厚さ約30μmの第2のPHS層101を形成する(図11(e))。これにより、第1PHS層100と第2PHS層101からなるPHS層10が得られる。この第2PHS層裏面のチップ分離溝領域には、第1PHS層100の厚さと上記第2溝内金属層9をその内面に有する第2チップ分離溝22の深さを合わせた程度の深さを有する窪みができている。続いて、機械研磨または放電加工等によって、第2PHS層101の裏面を平滑化する。この後、半導体基板1からガラス板7を剥離して、洗浄し、さらに第2PHS層101の裏面をエキスピンドルテープに貼り付け、チップ分離溝領域内をダイシングブレードによって切断する。この際、第2PHS層101の切断面には、バリが発生するが、第2PHS層裏面のチップ分離溝領域には上記の窪みが存在するため、バリはこの窪み内に収まり、半導体チップ直下の第2PHS層裏面より裏面側に突出することは無い。以上の工程により、図12に示すような、その表面に半導体素子が形成された半導体チップ1と、この半導体チップ1の裏面に形成された上記第1PHS層100及び第2PHS層101からなるPHS層10とを備えた半導体装置が作製される。

【0078】本実施例8においては、第2PHS層101が半導体基板裏面全面に形成されることにより、半導体チップ間の機械的結合の強度が増し、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工による第1溝内金属層の破損または半導体基板裏面への突出もない。さらに、第2PHS層101の半導体基板表面側に存在する第2

溝内金属層9が、PHS層10を構成するAuまたはCuより硬いNiまたはNi-Pからなるものであるから、チップ分離溝領域の金属層を切断する工程において、第2PHS層101の切断面に発生する半導体基板表面側へのカエリを抑制することができる。また、上記緩衝金属層114が形成されているため、チップ分離溝領域における金属層の切断も容易である。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な製造工程を得ることができる。さらに、上記第1PHS層100は第2チップ分離溝領域には形成されていないため、第2PHS層101形成直後のこの層の裏面は、チップ分離溝領域では第1PHS層100の厚さと上記第2溝内金属層9をその内面に有する第2チップ分離溝22の深さを合わせた分だけ窪んでいる。従って、チップ分離溝領域の金属層を切断する際に発生する第2PHS層101のバリを上記の窪み内に納めることが可能となる。すなわち、上記切断工程後に得られる半導体チップ1とその裏面に形成されたPHS層10からなる半導体装置において、上記PHS層10のバリはPHS層10の裏面から突出することはない。従って、この半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性を良好なものとすることができる。これにより、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。また、実施例7においては、第2PHS層の切断面に発生するカエリを防止するため、NiまたはNi-Pからなる第2給電層の厚さを通常の0.5μmから3～5μmに増加させる方法について記したが、NiまたはNi-PはAuまたはCuより熱伝導率が低いため、半導体基板裏面側の全面に形成されているこの第2給電層を厚くすると、半導体チップからPHS層への放熱性を劣化させてしまう。これに対して、本実施例8においては、NiまたはNi-Pからなる厚さ3～5μm第2溝内金属層が第2チップ分離溝領域にのみ形成されているため、半導体チップからPHS層への放熱性を劣化させることなく、PHS層の切断面におけるカエリの発生を防止することができる。

【0079】実施例9. この発明の第9の実施例について説明する。図13は本実施例による半導体装置の製造方法を工程順に示す断面図である。まず、実施例1において、図1(a)～(d)に示した工程を行う。次に、実施例7において、図9(a), (b)に示したものと同様な工程を行う。すなわち、半導体基板裏面の全面にNi系無電解メッキ及び置換型無電解Auメッキを用いて、厚さ約0.5μmの給電層11を形成する。さらに、給電層11裏面のチップ分離溝領域に厚さ約40μmの厚いフォトレジストを形成し、これをマスクとして厚さ20～30μmのAuまたはCuからなるPHS層10を電解メッキにより形成する。次に、このPHS層10をマスクとして、チップ分離溝領域の給電層11をイオンミリン

グによりエッチング除去する。さらに、この領域において、上記給電層11と上記PHS層10をマスクに、第1溝内金属層5の底面が露出するまで半導体基板1をエッチングし、第2チップ分離溝22を形成する。この段階における断面図が、図13(a)であり、これは図9(b)に示したものと同じである。次に、半導体基板裏面側の全面に、セラミック粒子を溶剤に分散させた、セラミックペースト16を塗布した後、乾燥させて溶剤を蒸発させる。さらに、半導体基板裏面側の全面を研磨して平坦化し、PHS層10の裏面を露出させる。これにより、チップ分離溝領域にのみセラミックペースト16が充填される(図13(b))。次に、温度100～200℃で熱処理することにより、セラミックペースト16をキュアする。この後、半導体基板1からガラス板7を剥離して、洗浄し、さらにPHS層10の裏面をエキスパンドテープに貼り付け、チップ分離溝領域内をダイシングブレードによって切断する。以上の工程により、図14に示すような、その表面に半導体素子が形成された半導体チップ1と、この半導体チップ1の裏面に形成された上記PHS層10と、このPHS層10の側面に形成されたセラミック層116を備えた半導体装置が作製される。上記セラミックペーストには、米国Aremco Products社製セラマコート512のように、コーティング及び常温キュアが可能なタイプのシリカ(SiO)系のものがある。

【0080】本実施例9においては、半導体チップ裏面のチップ分離溝領域には、PHS層10の厚さと同程度の厚さのセラミック層116が形成され、この領域以外の領域にはPHS層10が形成されているから、このPHS層形成工程からチップ分離溝領域の金属層及びセラミック層を切断する工程までの半導体チップ間の機械的結合の強度が良好となる。また、この半導体基板裏面の全面にセラミック層116またはPHS層10が形成されることと、上記第1チップ分離溝2の深さが、半導体基板裏面の研磨または薄板化加工により薄板化される半導体基板1の厚さより浅いこと、すなわち半導体基板裏面の研磨または薄板化加工直後に第1チップ分離溝2の下に一定の厚さの半導体基板が残っていることにより、第1溝内金属層5に機械的強度を持たせる必要がない。従って、第1溝内金属層の厚さを1μm以下と薄くすることが可能であり、これによって半導体基板表面の周縁領域において前述のメッキ突起のような厚い金属の突起が形成されることなく、この突起に起因するガラス板貼り付け時の半導体基板のクラック発生も防止できる。さらに、上記のように半導体基板裏面の研磨または薄板化加工直後に第1チップ分離溝2の下に一定の厚さの半導体基板が残っているため、第1溝内金属層5がこの研磨または薄板化加工によって半導体基板裏面に露出することがない。従って、第1溝内金属層5がこの研磨または薄板化加工によって破れたり、半導体基板裏面に突出

することにより、その後のフォトリソグラフィ工程が困難になることはない。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な製造工程を得ることができる。また、半導体基板裏面側のチップ分離溝領域には、上記のようにセラミック層116が形成されているから、この領域の金属層及びセラミック層を切断する工程において、このセラミック層にはバリは発生しないため、上記切断工程後に得られる半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性を良好なものとすることができます。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0081】実施例10. この発明の第10の実施例について説明する。図15は本実施例による半導体装置の製造方法を工程順に示す断面図である。半導体(GaAs)基板1上には、In0.5Ga0.5Pからなるエッチングストップ層1b及び厚さ5~10μmのGaAsエピタキシャル層1aが順に積層されており、GaAsエピタキシャル層1a表面には半導体素子が形成されている。まず、フォトレジストをマスクとして、エピタキシャル層1aのチップ分離溝領域をその表面側から硫酸・過酸化水素系エッチャント(例えば、H₂SO₄:H₂O₂:H₂O=3:1:1)を用いてエッチングする。このエッチングは、上記エッチングストップ層1bが露出した時点で自動的に停止するから、その底面がエッチングストップ層1bの表面であるチップ分離溝2が形成される。次に、蒸着またはスパッタリングデポジションを用いて、上記チップ分離溝を含むエピタキシャル層の表面側の全面に全膜厚が250~500nmのTi/Au積層膜を被着させ、上記フォトレジストを除去することにより、チップ分離溝2内に上記積層膜からなる溝内金属層5を形成する。この後、ワックス6を用いて上記エピタキシャル層表面にガラス板7を貼り付ける(図15(a))。半導体(GaAs)基板1をその裏面側から研磨または薄板化加工し、その厚さを15μm程度まで薄板化した後、残った半導体基板1を上記硫酸・過酸化水素系エッチャントを用いてエッチング除去する(図15(b))。このエッチングも上記のようにエッチングストップ層1bが露出した時点で自動的に停止する。すなわち、半導体基板1のみを選択的に除去できる。次に、塩酸系エッチャント(例えば、HCl:H₂O=3:2)を用いて、In0.5Ga0.5Pエッチングストップ層1bをエッチングする。このエッチングにおいては、エッチングストップ層1bのみがエッチングされ、GaAsエピタキシャル層1aはエッチングされないため、露出した溝内金属層の底面とエピタキシャル層1aの裏面は同一平面をなす(図15(c))。この後、エピタキシャル層裏面に露出している第1溝内金属層の下層であるTi層をエッチング除去して、全面に給電層11を形成し、さらに電解メッキによってAuまたはCuか

らなるPHS層10を形成する(図15(d))。次に、エピタキシャル層1aからガラス板7を剥離して、洗浄し、さらにPHS層10の裏面をエキスパンドテープに貼り付け、チップ分離溝領域内をダイシングブレードによって切断する。以上の工程により、図16に示すような、その表面に半導体素子が形成された半導体チップ1と、この半導体チップ1の裏面に形成された上記PHS層10とを備えた半導体装置が作製される。

【0082】本実施例10においては、上記PHS層10がエピタキシャル層1aの裏面全面に形成されていることにより、このPHS層形成工程からチップ分離溝領域の各金属層を切断する工程までの半導体チップ間の機械的結合の強度が良好となる。また、このエピタキシャル層1a裏面の全面にPHS層10が形成されることと、半導体基板1の除去が研磨または薄板化加工によってではなく、エッチングによって行われることにより、溝内金属層5に機械的強度を持たせる必要がない。従って、溝内金属層5の厚さを1μm以下と薄くすることが可能であり、これによって半導体基板表面の周縁領域において前述のメッキ突起のような厚い金属の突起が形成されることはなくなり、この突起に起因するガラス板貼り付け時の半導体基板のクラック発生も防止できる。さらに、上記のようにチップ分離溝2の形成は、半導体基板表面側からエッチングストップ層1b表面が露出した時点で自動的に停止するようなエッチングによりなされており、また半導体基板1の除去は、半導体基板裏面側からエッチングストップ層1b裏面が露出した時点で自動的に停止するようなエッティングによりなされているおり、この後上記エッティングストップ層1bのみを選択的にエッティング除去ことにより溝内金属層5の底面が初めてエピタキシャル成長層1a裏面に露出するから、溝内金属層5がこの段階で破れたり、半導体基板裏面に突出することはなく、従って、その後のフォトリソグラフィ工程が困難になることはない。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な製造工程を得ることができる。

【0083】

【発明の効果】この発明(請求項1)に係る半導体装置の製造方法によれば、その表面に複数の半導体素子が形成された半導体基板の所要の位置に、該半導体基板を各々1つの上記半導体素子を有する複数の半導体チップに分離するための第1のチップ分離溝を、その深さが上記半導体基板の裏面を研磨または薄板化加工した後に得られる該半導体基板の所定の厚さ以下となるように形成する工程と、該第1チップ分離溝の内面に第1の溝内金属層を形成する工程と、上記半導体基板の裏面を研磨または薄板化加工し、その厚さを上記所定の厚さとする工程と、上記第1チップ分離溝に対応する上記半導体基板の裏面の領域を上記第1溝内金属層が露出するまでエッチングし、第2のチップ分離溝を形成することにより上記

半導体基板を複数の上記半導体チップに分離する工程と、該第2チップ分離溝の内面に、PHS層を構成する金属より硬い金属からなる第2の溝内金属層を形成する工程と、上記第2チップ分離溝を含む上記半導体基板の裏面側の全面に、放熱のための金属層であるPHS層を形成する工程と、上記第1チップ分離溝において上記第1溝内金属層、上記第2溝内金属層及び上記PHS層を切断することにより、各々上記半導体チップと、その裏面側に設けられた上記PHS層とからなる複数の半導体装置を形成する工程とを含むので、PHS層形成工程からチップ分離溝領域の各金属層を切断する工程までの半導体チップ間の機械的結合の強度が良好となる。また、第1溝内金属層の厚さを $1\mu m$ 以下と薄くすることが可能であり、これによって半導体基板表面の周縁領域において前述のメッキ突起のような厚い金属の突起が形成されることはなくなり、この突起に起因するガラス板貼り付け時の半導体基板のクラック発生も防止できる。さらに、第1溝内金属層が半導体基板裏面の研磨または薄板化加工によって破れたり、半導体基板裏面に突出することにより、その後のフォトリソグラフィ工程が困難になることはない。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。また、PHS層裏面のチップ分離溝領域には、上記第2チップ分離溝の深さ程度の瘤みができており、これによってこの領域の金属層を切断する工程において、PHS層に発生するバリの半導体チップ領域のPHS層裏面からの突出の程度を低減できる。従って、上記半導体装置を後にチップキャリアに実装する工程におけるPHS層とチップキャリアとの密着性は、従来技術として既に説明した、PHS層のバリが完全にその裏面に突出している場合より良好なものとすることができる。すなわち、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0084】この発明（請求項2）に係る半導体装置の製造方法によれば、上記の半導体装置の製造方法（請求項1）において、上記PHS層を形成する工程が、上記半導体基板の裏面側の上記第2チップ分離溝以外の領域内に放熱のための金属層である第1のPHS層を形成した後、該第1PHS層を含む半導体基板の裏面側の全面に放熱のための金属層である第2のPHS層を形成するものであるので、半導体チップ間の機械的結合の強度が増し、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工による第1溝内金属層の破損または半導体基板裏面への突出もない。このように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。さらに、チップ分離溝領域の金属層を切断する際に発生する第2PHS層のバリをチップ分離溝領域の瘤み内に納めることができる。すなわち、上

記半導体装置において、上記PHS層のバリは半導体チップ直下のPHS層の裏面より突出することはない。従って、この半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性を良好なものとすることができる。すなわち、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0085】この発明（請求項3）に係る半導体装置の製造方法によれば、その表面に複数の半導体素子が形成された半導体基板の所要の位置に、該半導体基板を各々1つの上記半導体素子を有する複数の半導体チップに分離するための第1のチップ分離溝を、その深さが上記半導体基板の裏面を研磨または薄板化加工した後に得られる該半導体基板の所定の厚さ以下となるように形成する工程と、該第1チップ分離溝の内面に第1の溝内金属層を形成する工程と、上記半導体基板の裏面を研磨または薄板化加工し、その厚さを上記の所定の厚さとする工程と、上記第1チップ分離溝に対応する上記半導体基板の裏面の領域を上記第1溝内金属層が露出するまでエッチングし、第2のチップ分離溝を形成することにより上記半導体基板を複数の上記半導体チップに分離する工程と、該第2チップ分離溝の内面に、PHS層を構成する金属より硬い金属からなる第2の溝内金属層を形成する工程と、上記半導体基板の裏面側の第2チップ分離溝が形成された領域に、PHS層を構成する金属より硬い金属からなり、その厚さがPHS層と同程度である硬質金属層を形成する工程と、上記半導体基板の裏面側の全面に放熱のための金属層であるPHS層を形成する工程と、上記PHS層の裏面を上記硬質金属層の裏面が露出するまで研磨または薄板化加工し、平坦化する工程と、上記第1チップ分離溝内において上記第1溝内金属層、上記第2溝内金属層及び上記硬質金属層を切断することにより、各々上記半導体チップと、その裏面に設けられた上記PHS層と、該PHS層の側面全周に突出して設けられた上記硬質金属層からなる複数の半導体装置を形成する工程とを含むので、PHS層形成工程からチップ分離溝領域の各金属層を切断する工程までの半導体チップ間の機械的結合の強度が良好となる。また、第1溝内金属層の厚さを $1\mu m$ 以下と薄くすることが可能であり、これによって半導体基板表面の周縁領域において前述のメッキ突起のような厚い金属の突起が形成されることはなくなり、この突起に起因するガラス板貼り付け時の半導体基板のクラック発生も防止できる。さらに、半導体基板裏面の研磨または薄板化加工時に第1溝内金属層が半導体基板裏面に露出することがない。従って、第1溝内金属層がこの研磨または薄板化加工によって破れたり、半導体基板裏面に突出することにより、その後のフォトリソグラフィ工程が困難になることはない。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能とな

る。また、チップ分離溝領域の金属層を切断する工程において、この硬質金属層に発生するバリは P H S 層を直接切断することによって発生するバリより小さく、上記切断工程後に得られる半導体装置を後にチップキャリアに実装する工程において、P H S 層とチップキャリアとの密着性は P H S 層のバリがその裏面に突出している場合より良好なものとすることができます。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができます。

【0086】この発明（請求項4）に係る半導体装置の製造方法によれば、上記の半導体装置の製造方法（請求項3）において、上記第2溝内金属層を形成する工程の後、上記硬質金属層を形成する工程の前に、上記半導体基板の裏面側の全面に、上記硬質金属層を構成する金属より軟らかい金属からなり、上記硬質金属層の切断を容易にするための緩衝金属層を形成する工程を含むので、半導体チップ間の機械的結合の強度が増し、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工による第1溝内金属層の破損または半導体基板裏面への突出もない。さらに、軟らかい金属からなる上記緩衝金属層が形成されているため、チップ分離溝領域の金属層を切断する際、その切断は容易となる。このように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。さらに、チップ分離溝領域の金属層を切断する際に、この領域の硬質金属層に発生するバリは P H S 層を直接切断することによって発生するバリより小さく、上記切断工程後に得られる半導体装置を後にチップキャリアに実装する工程において、P H S 層とチップキャリアとの密着性は P H S 層のバリがその裏面に突出している場合より良好なものとすることができます。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができます。

【0087】この発明（請求項5）に係る半導体装置の製造方法によれば、上記の半導体装置の製造方法（請求項3）において、上記第2チップ分離溝を形成する工程が、上記硬質金属層の厚さより厚いレジストを上記半導体基板の裏面の上記第1チップ分離溝に対応する領域以外の領域に形成し、該レジストをマスクとして上記第1溝内金属層が露出するまで、上記半導体基板をエッチングするものであり、上記第2溝内金属層を形成する工程は、上記レジストをマスクとして上記第2溝内金属層を選択メッキにより上記第2チップ分離溝内に形成するものであり、上記第2溝内金属層を形成する工程の後、上記硬質金属層を形成する工程の前に、上記レジストをマスクとして、上記第2溝内金属層の裏面に、上記硬質金属層を構成する金属より軟らかい金属からなり、上記硬質金属層の切断を容易にするための緩衝金属層を選択メッキにより形成する工程を含み、上記硬質金属層を形

成する工程が、上記レジストをマスクとして上記硬質金属層を選択メッキにより上記第2溝内金属層の裏面に形成した後、上記レジストを除去するものであるので、半導体チップ間の機械的結合の強度が増し、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工による第1溝内金属層の破損または半導体基板裏面への突出もない。さらに、チップ分離溝領域の金属層を切断する際、その切断は容易となる。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。さらに、チップ分離溝領域の金属層を切断する際に、この領域の硬質金属層に発生するバリは P H S 層を直接切断することによって発生するバリより小さく、上記半導体装置を後にチップキャリアに実装する工程において、P H S 層とチップキャリアとの密着性は P H S 層のバリがその裏面に突出している場合より良好なものとすることができます。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができます。

【0088】この発明（請求項6）に係る半導体装置の製造方法によれば、上記の半導体装置の製造方法（請求項3ないし5のいずれか）において、上記硬質金属層が、A u-S n合金からなるものであるので、上記のように半導体チップ間結合の機械的強度が優れており、半導体基板表面周縁領域の金属の突起形成もないため、半導体基板のクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工時の第1溝内金属層の破損や半導体基板裏面へのこの金属層の突出もない。さらに、上記硬質金属層を切断する際にその切断面に発生するバリは、半導体装置をチップキャリアに実装する際、300°C程度に加熱することにより溶融してしまい、P H S 層とチップキャリアの密着性を劣化させることはない。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができます。

【0089】この発明（請求項7）に係る半導体装置の製造方法によれば、上記の半導体装置の製造方法（請求項1ないし5のいずれか）において、上記第1溝内金属層が、T i層、P d層及びA u層が順に積層されてなるものであり、上記第2溝内金属層を形成する工程が、上記第2チップ分離溝内に露出した上記第1溝内金属層の最下層であるT i層をエッティング除去して上記P d層を露出させた後、該P d層を活性化層として用いたN i系無電解メッキによりN iまたはN i系合金からなる第2溝内金属層を形成するものであるので、上記のように半導体チップ間結合の機械的強度が優れており、半導体基板表面周縁領域の金属の突起形成もないため、半導体基板のクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工時の第1溝内金属層の破損や半導体基板裏面へのこの金属層の突出もない。さらに、容易にN iまたはN i系合金からなる第2溝内金属層を形成する

ことができる。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。

【0090】この発明（請求項8）に係る半導体装置の製造方法によれば、その表面に複数の半導体素子が形成された半導体基板の所要の位置に、該半導体基板を各々1つの上記半導体素子を有する複数の半導体チップに分離するための第1のチップ分離溝を、その深さが上記半導体基板の裏面を研磨または薄板化加工した後に得られる該半導体基板の所定の厚さ以下となるように形成する工程と、該第1チップ分離溝の内面に第1の溝内金属層を形成する工程と、上記半導体基板の裏面を研磨または薄板化加工し、その厚さを上記の所定の厚さとする工程と、上記半導体基板の裏面の全面に第1の給電層を形成した後、該第1給電層裏面の上記第1チップ分離溝に対応する領域以外の領域に電解メッキにより放熱のための金属層である第1のPHS層を形成する工程と、該第1PHS層をマスクとして、上記第1給電層及び上記半導体基板を裏面側から上記第1溝内金属層が露出するまでエッティングして第2のチップ分離溝を形成することにより上記半導体基板を複数の上記半導体チップに分離する工程と、上記半導体基板の裏面側の上記第1PHS層及び上記第2チップ分離溝を含む全面に第2の給電層を形成する工程と、上記第2給電層の裏面の全面に電解メッキにより第2のPHS層を形成する工程と、上記第1チップ分離溝内において上記第1溝内金属層、上記第2給電層及び上記第2PHS層を切断することにより、各々上記半導体チップと、その裏面側に設けられた上記第1及び第2PHS層とからなる複数の半導体装置を形成する工程とを含むので、半導体チップ間の機械的結合の強度が増し、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工による第1溝内金属層の破損または半導体基板裏面への突出もない。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。さらに、チップ分離溝領域の金属層を切断する際に発生する第2PHS層のバリをチップ分離溝領域の窪み内に納めることができるとすることができる。従って、この半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性を良好なものとすることができる。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0091】この発明（請求項9）に係る半導体装置の製造方法によれば、上記の半導体装置の製造方法（請求項8）において、上記第1給電層が、Ti及びAuが順に積層されてなるものであり、上記第1給電層及び上記

半導体基板をエッティングする工程が、上記第1給電層を湿式エッティングにより除去した後上記半導体基板をエッティングするものであるので、PHS層が半導体基板裏面全面に形成されることにより、半導体チップ間の機械的結合の強度が増し、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工による第1溝内金属層の破損または半導体基板裏面への突出もない。さらに、上記第1給電層は、蒸着またはスパッタリングデポジションによって容易に形成でき、また、この第1給電層と半導体基板との密着性は良好なものとなり、また、この上にAuを電解メッキすることにより、PHS層を容易に形成することができる。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。さらに、チップ分離溝領域の金属層を切断する際に発生する第2PHS層のバリをチップ分離溝領域の窪み内に納めることができるとすることができる。すなわち、上記半導体装置において、上記PHS層のバリは半導体チップ直下のPHS層の裏面より突出することはない。従って、この半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性を良好なものとすることができる。これにより、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0092】この発明（請求項10）に係る半導体装置の製造方法によれば、上記の半導体装置の製造方法（請求項8または9）において、上記第2給電層が、NiまたはNi-Pからなり、その膜厚は3ないし5μmであるので、半導体チップ間の機械的結合の強度が増し、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工による第1溝内金属層の破損または半導体基板裏面への突出もない。さらに、第2PHS層の半導体基板表面側に存在する第2給電層が、通常PHS層を構成するAuまたはCuより硬いNiまたはNi-Pからなるものであるから、チップ分離溝領域の金属層を切断する工程において、PHS層の切断面に発生する半導体基板表面側へPHS金属が突出したものであるカエリを抑制することができる。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。さらに、チップ分離溝領域の金属層を切断する際に発生する第2PHS層のバリをチップ分離溝領域の窪み内に納めることができるとすることができる。すなわち、上記半導体装置において、上記PHS層のバリは半導体チップ直下のPHS層の裏面より突出することはない。従って、この半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性を良好なものとすることができる。これにより、良好な放熱

性を有し、信頼性の高い半導体装置を得ることができる。

【0093】この発明（請求項11）に係る半導体装置の製造方法によれば、その表面に複数の半導体素子が形成された半導体基板の所要の位置に、該半導体基板を各々1つの上記半導体素子を有する複数の半導体チップに分離するための第1のチップ分離溝を、その深さが上記半導体基板の裏面を研磨または薄板化加工した後に得られる該半導体基板の所定の厚さ以下となるように形成する工程と、該第1チップ分離溝の内面に第1の溝内金属層を形成する工程と、上記半導体基板の裏面を研磨または薄板化加工し、その厚さを上記の所定の厚さとする工程と、上記半導体基板の裏面の全面に第1の給電層を形成した後、該第1給電層裏面の上記第1チップ分離溝に対応する領域以外の領域に電解メッキによりメッキ金属層を形成する工程と、該メッキ金属層をマスクとして、上記第1給電層及び上記半導体基板を裏面側から上記第1溝内金属層が露出するまでエッチングすることにより第2のチップ分離溝を形成し、上記半導体基板を複数の上記半導体チップに分離する工程と、上記第2チップ分離溝を含む上記半導体基板の裏面側の全面に第2の給電層を形成した後、該第2給電層の裏面の全面に、第2の溝内金属層を構成する金属より軟らかい金属からなり、上記第2溝内金属層の切断を容易にするための緩衝金属層を形成する工程と、上記緩衝金属層裏面の上記第2チップ分離溝領域に、PHS層を構成する金属より硬い金属からなる第2の溝内金属層を形成する工程と、上記緩衝金属層裏面の上記第2チップ分離溝領域以外の領域に、放熱のための金属層である第1のPHS層を形成する工程と、上記第2溝内金属層及び上記第1PHS層の裏面の全面に放熱のための金属層である第2のPHS層を形成する工程と、上記第1チップ分離溝において上記第1溝内金属層、上記第2給電層、上記緩衝金属層及び上記第2PHS層を切断することにより、各々上記半導体チップと、その裏面側に設けられた上記第1及び第2PHS層とからなる複数の半導体装置を形成する工程とを含むので、半導体チップ間の機械的結合の強度が増し、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生も防止でき、半導体基板裏面の研磨または薄板化加工による第1溝内金属層の破損または半導体基板裏面への突出もない。さらに、第2PHS層の半導体基板表面側に存在する第2溝内金属層により、PHS層の切断面に発生する半導体基板表面側へのカエリを抑制することができる。また、上記緩衝金属層により、チップ分離溝領域における金属層の切断も容易である。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。さらに、チップ分離溝領域の金属層を切断する際に発生する第2PHS層のバリをチップ分離溝領域の窪み内に納めることが

可能となる。すなわち、上記半導体装置において、上記PHS層のバリは半導体チップ直下のPHS層の裏面より突出することはない。従って、この半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性を良好なものとすることができます。これにより、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。また、PHS層を構成する金属より硬い金属からなる第2溝内金属層が第2チップ分離溝領域にのみ形成されているため、半導体チップ

10 からPHS層への放熱性を劣化させることなく、PHS層の切断面におけるカエリの発生を防止することができる。

【0094】この発明（請求項12）に係る半導体装置の製造方法によれば、その表面に複数の半導体素子が形成された半導体基板の所要の位置に、該半導体基板を各々1つの上記半導体素子を有する複数の半導体チップに分離するための第1のチップ分離溝を、その深さが上記半導体基板の裏面を研磨または薄板化加工した後に得られる該半導体基板の所定の厚さ以下となるように形成する工程と、該第1チップ分離溝の内面に第1の溝内金属層を形成する工程と、上記半導体基板の裏面を研磨または薄板化加工し、その厚さを上記の所定の厚さとする工程と、上記半導体基板の裏面の全面に給電層を形成した後、該給電層裏面の上記第1チップ分離溝に対応する領域以外の領域に電解メッキにより放熱のための金属層であるPHS層を形成する工程と、該PHS層をマスクとして、上記給電層及び上記半導体基板を裏面側から上記第1溝内金属層が露出するまでエッチングすることにより第2のチップ分離溝を形成し、上記半導体基板を複数の上記半導体チップに分離する工程と、上記半導体基板の裏面側の全面にセラミックペーストの塗布及び乾燥を行い、上記第2チップ分離溝内及び該第2チップ分離溝領域の上記PHS層間に上記セラミックペーストを充填する工程と、上記セラミックペーストを上記PHS層の裏面が露出するまで研磨または薄板化加工し、平坦化する工程と、上記セラミックペーストを熱処理によりキュアし、セラミック層を形成する工程と、上記第1チップ分離溝内において上記第1溝内金属層及び上記セラミック層を切断することにより、各々上記半導体チップと、
20 その裏面側に設けられたPHS層と、該PHS層の側面全周に突出して設けられた上記セラミック層からなる複数の半導体装置を形成する工程とを含むので、PHS層形成工程からチップ分離溝領域の各金属層を切断する工程までの半導体チップ間の機械的結合の強度が良好となる。また、第1溝内金属層に機械的強度を持たせる必要がないため、第1溝内金属層の厚さを1μm以下と薄くすることが可能であり、これによって半導体基板表面の周縁領域において前述のメッキ突起のような厚い金属の突起が形成されることはない、この突起に起因する
30 ガラス板貼り付け時の半導体基板のクラック発生も防止

40

50

できる。さらに、第1溝内金属層が半導体基板裏面の研磨または薄板化加工によって半導体基板裏面に露出することはない。従って、第1溝内金属層がこの研磨または薄板化加工によって破れたり、半導体基板裏面に突出することにより、その後のフォトリソグラフィ工程が困難になることはない。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。また、半導体基板裏面側のチップ分離溝領域の金属層及びセラミック層を切断する工程において、このセラミック層にはバリは発生しないため、上記切断工程後に得られる半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性を良好なものとすることができます。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0095】この発明（請求項13）に係る半導体装置の製造方法によれば、半導体基板上にエッティングストップ層を介して形成され、その表面に複数の半導体素子が形成されたエピタキシャル成長層の所要の位置に、該エピタキシャル層を各々1つの上記半導体素子を有する複数の半導体チップに分離するためのチップ分離溝を、上記エッティングストップ層が露出するまで上記エピタキシャル層をエッティングすることにより形成する工程と、該チップ分離溝の内面に溝内金属層を形成する工程と、上記半導体基板を上記エッティングストップ層が露出して自動的に停止するエッティングにより除去する工程と、上記エッティングストップ層を除去し、上記エピタキシャル成長層の裏面に上記溝内金属層を露出させる工程と、上記エピタキシャル成長層の裏面の全面に放熱のための金属層であるPHS層を形成する工程と、上記分離溝内において上記溝内金属層及び上記PHS層を切断することにより、各々上記半導体チップと、その裏面側に設けられたPHS層とからなる複数の半導体装置を形成する工程とを含むので、PHS層形成工程からチップ分離溝領域の各金属層を切断する工程までの半導体チップ間の機械的結合の強度が良好となる。また、溝内金属層に機械的強度を持たせる必要がない。従って、溝内金属層の厚さを1μm以下と薄くすることが可能であり、これによって半導体基板表面の周縁領域において前述のメッキ突起のような厚い金属の突起が形成されることではなくなり、この突起に起因するガラス板貼り付け時の半導体基板のクラック発生も防止できる。さらに、溝内金属層底面が半導体基板裏面に露出する段階で破れたり、半導体基板裏面に突出することはなく、従って、その後のフォトリソグラフィ工程が困難になることはない。以上のように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。

【0096】この発明（請求項14）に係る半導体装置の製造方法によれば、上記の半導体装置の製造方法（請求項1ないし6または8ないし13のいずれか）において

て、上記第1溝内金属層が、Ti層及びAu層が積層されてなるものであり、上記第2チップ分離溝を形成する工程が、上記半導体基板をエッティングした後、露出した上記第1溝内金属層の上記Ti層をエッティングにより除去し、上記Au層を上記第2チップ分離溝内に露出させるものであるので、上記第1溝内金属層と半導体基板との密着性は良好なものとなる。また、第2チップ分離溝のエッティング後、Ti層のみを選択的にエッティングすることが容易である。さらに、このTi層のエッティング後

10 第2チップ分離溝内に露出するAu層裏面に第2溝内金属層をメッキにより形成することは、容易である。このように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。

【0097】この発明（請求項15）に係る半導体装置の製造方法によれば、上記の半導体装置の製造方法（請求項1ないし14のいずれか）において、上記PHS層、上記第1PHS層または上記第2PHS層が、AuまたはCuからなるものであるので、半導体チップからチップキャリアへの放熱性が良好となる。

20 【0098】この発明（請求項16）に係る半導体装置の製造方法によれば、上記の半導体装置の製造方法（請求項1ないし7、11、14または15のいずれか）において、上記第2溝内金属層または上記硬質金属層が、NiまたはNi-P合金からなるものであるので、チップ分離溝領域の金属層切断工程におけるバリ及びカエリの発生を抑制するとともに、半導体チップ間の機械的結合強度を強化することができる。また、NiまたはNi-P合金からなる層の表面は置換型無電解メッキによりAuに置き換えることができるため、この後この層の表面にAu層をメッキすることは容易であり、これら2層の密着性も良好となる。このように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。

30 【0099】この発明（請求項17）に係る半導体装置の製造方法によれば、上記の半導体装置の製造方法（請求項4、5、11または14ないし16のいずれか）において、上記メッキ金属層または上記緩衝金属層が、AuまたはCuからなるものであるので、チップ分離溝領域の金属層を切断する工程において、切断が容易となる。

40 このように、この製造方法を用いることにより、安定した、歩留まりの良好な、半導体装置の製造が可能となる。

【0100】この発明（請求項18）に係る半導体装置によれば、複数の半導体素子が形成されている半導体基板の表面に第1のチップ分離溝を、該第1チップ分離溝の内面に第1の溝内金属層を形成し、上記半導体基板の裏面を研磨または薄板化加工することによりその厚さを所定の厚さとし、上記半導体基板の裏面に、上記第1溝内金属層の底面が露出するように第2のチップ分離溝を、該第2チップ分離溝の内面に第2の溝内金属層を形

50

成した後、上記半導体基板の裏面側の全面に、放熱のための金属層である PHS 層を形成し、上記第 1 チップ分離溝内において上記第 1 溝内金属層、上記第 2 溝内金属層及び上記 PHS 層を切断することにより作製されてなり、1 つの上記半導体チップと、その裏面側に、その側面より外側に突出して設けられた上記 PHS 層とを備え、上記 PHS 層の外周部分の高さは、該 PHS 層の中央部分の高さより上記第 2 溝内金属層をその内面に有する上記第 2 チップ分離溝の深さの分だけ高いので、第 1 溝内金属層に機械的強度を持たせる必要が無い。従って、第 1 溝内金属層の厚さを $1 \mu\text{m}$ 以下と薄くすることが可能であり、これによって半導体基板表面の周縁領域において前述のメッキ突起のような厚い金属の突起が形成されることはなくなり、この突起に起因するガラス板貼り付け時の半導体基板のクラック発生も防止できる。また、PHS 層のチップ分離溝領域には、窪みができるおり、PHS 層に発生するバリの PHS 層裏面からの突出の程度を低減できる。従って、上記半導体装置を後にチップキャリアに実装する工程における PHS 層とチップキャリアとの密着性は、従来技術として既に説明した、PHS 層のバリが完全にその裏面に突出している場合より良好なものとすることができます。これにより、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0101】この発明（請求項 19）に係る半導体装置によれば、上記の半導体装置（請求項 18）において、上記 PHS 層が、上記半導体基板の裏面側の上記第 2 チップ分離溝以外の領域に第 1 の PHS 層を形成した後、該第 1 PHS 層を含む半導体基板の裏面側の全面に第 2 の PHS 層を形成してなるものであり、1 つの上記半導体チップと、その裏面側に設けられた上記第 1 PHS 層と、該第 1 PHS 層の裏面側及び側面側に設けられ、上記半導体チップの側面より外側に突出した上記第 2 PHS 層とを備え、上記第 2 PHS 層の外周部分の高さは、上記第 2 PHS 層の中央部分の高さより上記第 1 PHS 層の厚さと上記第 2 溝内金属層をその内面に有する上記第 2 チップ分離溝の深さを合わせた分だけ高いので、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生を防止できる。さらに、第 2 PHS 層の裏面は、チップ分離溝領域では窪んでいる。従って、第 2 PHS 層のバリを上記の窪み内に納めることができる。すなわち、上記切断工程後に得られる半導体チップとその裏面に形成された PHS 層からなる半導体装置において、上記 PHS 層のバリは半導体チップ直下の PHS 層の裏面より突出することはない。従って、この半導体装置を後にチップキャリアに実装する工程において、PHS 層とチップキャリアとの密着性を良好なものとすることができます。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0102】この発明（請求項 20）に係る半導体装置によれば、複数の半導体素子が形成されている半導体基板の表面に第 1 のチップ分離溝を、該第 1 チップ分離溝の内面に第 1 の溝内金属層を形成し、上記半導体基板の裏面を研磨または薄板化加工することによりその厚さを所定の厚さとし、上記半導体基板の裏面に、上記第 1 溝内金属層の底面が露出するように第 2 のチップ分離溝を、該第 2 チップ分離溝の内面に第 2 の溝内金属層を形成した後、上記半導体基板の裏面側の第 2 チップ分離溝が形成された領域に、PHS 層を構成する金属より硬い金属からなり、その厚さが PHS 層とほぼ同じである硬質金属層を形成し、上記半導体基板の裏面側の全面に放熱のための金属層である PHS 層を形成した後、上記 PHS 層の裏面を上記硬質金属層の裏面が露出するまで研磨または薄板化加工して平坦化し、上記第 1 チップ分離溝内において上記第 1 溝内金属層、上記第 2 溝内金属層及び上記硬質金属層を切断することにより作製されてなり、1 つの上記半導体チップと、その裏面側に設けられた上記 PHS 層と、該 PHS 層の側面全周に突出して設けられた上記硬質金属層とを備えたので、第 1 溝内金属層に機械的強度を持たせる必要がない。従って、第 1 溝内金属層の厚さを $1 \mu\text{m}$ 以下と薄くすることが可能であり、これによって半導体基板表面の周縁領域において前述のメッキ突起のような厚い金属の突起が形成されることはなくなり、この突起に起因するガラス板貼り付け時の半導体基板のクラック発生も防止できる。また、半導体基板裏面側のチップ分離溝領域には、上記のように硬質金属層が形成されているから、この領域の金属層を切断する際に、この硬質金属層に発生するバリは PHS 層を直接切断することによって発生するバリより小さく、この半導体装置を後にチップキャリアに実装する工程において、PHS 層とチップキャリアとの密着性は PHS 層のバリがその裏面に突出している場合より良好なものとすることができます。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができます。

【0103】この発明（請求項 21）に係る半導体装置によれば、上記の半導体装置（請求項 20）において、上記硬質金属層が、Au-Sn 合金からなるものであるので、上記のように、半導体基板表面周縁領域の金属の突起形成がないため、半導体基板のクラックの発生を防止できる。さらに、上記硬質金属層を切断する際にその切断面に発生するバリは、この硬質金属層が Au-Sn 合金からなるものであるため、半導体装置をチップキャリアに実装する際、 300°C 程度に加熱することにより溶融してしまい、PHS 層とチップキャリアの密着性を劣化させることはない。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができます。

【0104】この発明（請求項 22）に係る半導体装置によれば、複数の半導体素子が形成されている半導体基板の表面に第 1 のチップ分離溝を、該第 1 チップ分離溝

の内面に第1の溝内金属層を形成し、上記半導体基板の裏面を研磨または薄板化加工することによりその厚さを所定の厚さとし、上記第1チップ分離溝に対応する上記半導体基板の裏面側の領域以外の領域に放熱のための金属層である第1のPHS層を形成した後、該第1PHS層をマスクとして、上記半導体基板を裏面側から上記第1溝内金属層の底面が露出するまでエッチングすることにより第2のチップ分離溝を形成し、上記半導体基板の裏面側の全面に第2のPHS層を形成した後、上記第1チップ分離溝において上記第1溝内金属層及び上記第2PHS層を切断することにより作製されてなり、1つの上記半導体チップと、その裏面側に設けられた上記第1PHS層と、該第1PHS層の裏面側及び側面側に設けられ、上記半導体チップの側面より外側に突出した上記第2PHS層とを備え、上記第2PHS層の外周部分の高さは、上記第2PHS層の中央部分の高さより上記第1PHS層の厚さと上記第2チップ分離溝の深さを合わせた分だけ高いので、第1溝内金属層の厚さを1μm以下と薄くすることが可能であり、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生が防止できる。さらに、第2PHS層の裏面は、チップ分離溝領域では窪んでいる。従って、第2PHS層のバリを上記の窪み内に納めることができるとなる。すなわち、この半導体装置において、上記PHS層のバリは半導体チップ直下のPHS層の裏面より突出することはない。従って、この半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性を良好なものとすることができる。これにより、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0105】この発明（請求項23）に係る半導体装置によれば、複数の半導体素子が形成されている半導体基板の表面に、第1のチップ分離溝を、該第1チップ分離溝の内面に第1の溝内金属層を形成し、上記半導体基板の裏面を研磨または薄板化加工することによりその厚さを所定の厚さとし、上記第1チップ分離溝に対応する上記半導体基板の裏面の領域以外の領域にメッキ金属層を形成した後、該メッキ金属層をマスクとして、上記半導体基板を上記第1溝内金属層の底面が露出するまでエッチングすることにより第2のチップ分離溝を形成し、上記半導体基板の裏面側の全面に、第2の溝内金属層を構成する金属より軟らかい金属からなる緩衝金属層を形成した後、該緩衝金属層裏面の上記第2チップ分離溝領域に、PHS層を構成する金属より硬い金属からなる第2溝内金属層を形成し、上記緩衝金属層裏面の上記第2チップ分離溝領域以外の領域に、第1のPHS層を形成した後、上記第2溝内金属層及び上記第1PHS層の裏面の全面に第2のPHS層を形成し、上記第1チップ分離溝において上記第1溝内金属層、上記緩衝金属層、上記第2溝内金属層及び上記第2PHS層を切断すること

により作製されてなり、1つの上記半導体チップと、その裏面側に設けられた緩衝金属層と、該緩衝金属層の裏面側に設けられた上記第1PHS層と、該第1PHS層の裏面側及び側面側に設けられ、上記半導体チップの側面より外側に突出した上記第2PHS層とを備え、上記第2PHS層の外周部分の高さは、上記第2PHS層の中央部分の高さより上記第1PHS層の厚さと上記第2溝内金属層をその内面に有する上記第2チップ分離溝の深さを合わせた分だけ高いので、第1溝内金属層の厚さを1μm以下と薄くすることが可能であり、半導体基板表面周縁領域における金属の突起の形成がなく、これによる半導体基板におけるクラックの発生が防止できる。さらに、第2PHS層の裏面は、チップ分離溝領域では窪んでいる。従って、チップ分離溝領域の金属層を切断する際に発生する第2PHS層のバリを上記の窪み内に納めることができるとなる。すなわち、この半導体装置において、上記PHS層のバリは半導体チップ直下のPHS層の裏面より突出することはない。従って、この半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性を良好なものとすることができる。これにより、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。さらに、第2PHS層の半導体基板表面側に存在する第2溝内金属層が、PHS層を構成する金属より硬い金属からなるものであるから、チップ分離溝領域の金属層を切断する際に、PHS層の切断面に発生する半導体基板表面側へのカエリを抑制することができる。

【0106】この発明（請求項24）に係る半導体装置によれば、複数の半導体素子が形成されている半導体基板の表面に第1のチップ分離溝を、該第1チップ分離溝の内面に第1の溝内金属層を形成し、上記半導体基板の裏面を研磨または薄板化加工し、その厚さを所定の厚さとし、上記第1チップ分離溝に対応する上記半導体基板の裏面側の領域以外の領域に放熱のための金属層であるPHS層を形成した後、該PHS層をマスクとして、上記半導体基板を裏面側から上記第1溝内金属層の底面が露出するまでエッチングすることにより第2のチップ分離溝を形成し、上記第2チップ分離溝内及び該第2チップ分離溝領域の上記PHS層間にセラミックペーストを充填した後、上記セラミックペーストを熱処理によりキュアしてセラミック層を形成し、上記第1チップ分離溝内において上記第1溝内金属層及び上記セラミック層を切断することにより作製されてなり、1つの上記半導体チップと、その裏面側に設けられた上記PHS層と、該PHS層の側面全周に突出して設けられた上記セラミック層とを備えたので、第1溝内金属層に機械的強度を持たせる必要がない。従って、第1溝内金属層の厚さを1μm以下と薄くすることが可能であり、これによって半導体基板表面の周縁領域において前述のメッキ突起のようないわゆる厚い金属の突起が形成されることはなくなり、この

突起に起因するガラス板貼り付け時の半導体基板のクラック発生も防止できる。また、半導体基板裏面側のチップ分離溝領域には、上記のようにセラミック層が形成されているから、この領域の金属層及びセラミック層を切断する工程において、このセラミック層にはバリは発生しないため、上記切断工程後に得られる半導体装置を後にチップキャリアに実装する工程において、PHS層とチップキャリアとの密着性を良好なものとすることができる。従って、良好な放熱性を有し、信頼性の高い半導体装置を得ることができる。

【0107】 この発明（請求項25）に係る半導体装置によれば、半導体基板上にエッティングストップ層とエピタキシャル成長層が積層されており、複数の半導体素子が形成されている上記エピタキシャル層の表面にチップ分離溝を上記エッティングストップ層が露出して自動的に停止するエッティングにより形成した後、該チップ分離溝の内面に溝内金属層を形成し、上記半導体基板を上記エッティングストップ層が露出して自動的に停止するエッティングにより除去した後、上記エッティングストップ層を除去して、上記エピタキシャル成長層の裏面に上記溝内金属層の底面を露出させ、上記エピタキシャル成長層の裏面の全面に放熱のための金属層であるPHS層を形成した後、上記チップ分離溝内において上記溝内金属層及び上記PHS層を切断することにより作製されてなり、1つの上記半導体チップと、その裏面側に、上記半導体チップの側面より外側に突出して設けられた上記PHS層とを備えたので、溝内金属層に機械的強度を持たせる必要がない。従って、溝内金属層の厚さを1μm以下と薄くすることが可能であり、これによって半導体基板表面の周縁領域において前述のメッキ突起のような厚い金属の突起が形成されることはない、この突起に起因するガラス板貼り付け時の半導体基板のクラック発生も防止できる。

【0108】

【図面の簡単な説明】

【図1】 この発明の第1の実施例による半導体装置の製造方法を示す断面図である。

【図2】 この発明の第1の実施例による半導体装置を示す断面図である。

【図3】 この発明の第2の実施例による半導体装置の製造方法を示す断面図である。

【図4】 この発明の第2の実施例による半導体装置を示す断面図である。

【図5】 この発明の第3及び第5の実施例による半導体装置の製造方法を示す断面図である。

【図6】 この発明の第4及び第5の実施例による半導体装置の製造方法を示す断面図である。

【図7】 この発明の第3ないし第5の実施例による半導体装置を示す断面図である。

【図8】 この発明の第6の実施例による半導体装置の

製造方法を示す断面図である。

【図9】 この発明の第7の実施例による半導体装置の製造方法を示す断面図である。

【図10】 この発明の第7の実施例による半導体装置を示す断面図である。

【図11】 この発明の第8の実施例による半導体装置の製造方法を示す断面図である。

【図12】 この発明の第8の実施例による半導体装置を示す断面図である。

【図13】 この発明の第9の実施例による半導体装置の製造方法を示す断面図である。

【図14】 この発明の第9の実施例による半導体装置を示す断面図である。

【図15】 この発明の第10の実施例による半導体装置の製造方法を示す断面図である。

【図16】 この発明の第10の実施例による半導体装置を示す断面図である。

【図17】 半導体基板の表面側からのみチップ分離溝を形成する従来の半導体装置の製造方法を示す断面図である。

【図18】 半導体基板の表面側からのみチップ分離溝を形成する従来の半導体装置の製造方法において発生するメッキ突起によるクラックを示す断面図である。

【図19】 半導体基板の表面側からのみチップ分離溝を形成する従来の半導体装置の製造方法において発生する溝内金属層及びメッキ層の破れを示す断面図である。

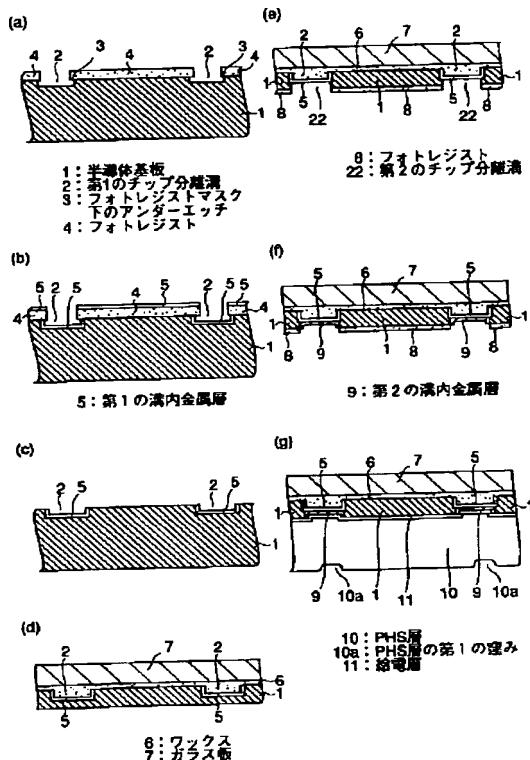
【図20】 半導体基板の表面側及び裏面側の双方からチップ分離溝を形成する従来の半導体装置の製造方法を示す断面図である。

【符号の説明】

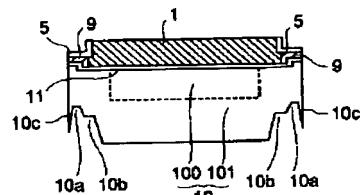
- 1 半導体基板（半導体チップ）、1a エピタキシャル成長層、1b エッティングストップ層、1c クラック、2 第1のチップ分離溝、3 フォトレジストマスク下のアンダーエッチ、4, 44, 88 フォトレジスト、5 第1の溝内金属層、5a チップ分離溝A u 層、5b チップ分離溝P d層、5c チップ分離溝T i層、5d 溝内金属層の破れ、6 ワックス、7 ガラス板、8 フォトレジスト、9 第2の溝内金属層、10 PHS層、10a PHS層の第1の窪み、10b PHS層の第2の窪み、10c PHS層のバリ、11 給電層、13, 114 緩衝金属層、15 硬質金属層、16 セラミックペースト、22 第2のチップ分離溝、51 第1のチップ分離溝メッキ層、52 第2のチップ分離溝メッキ層、52a メッキ層のバリ、55 メッキ層、55a メッキ層の破れ、100

第1のPHS層、101 第2のPHS層、111
第1の給電層、112 第2の給電層、113 メッキ金属層、116 セラミック層、200 表面保護膜、300 ダイシングテープ、555 メッキ突起。

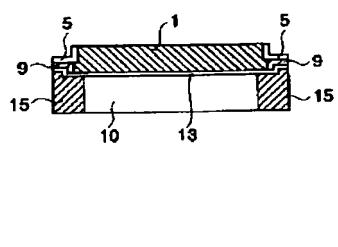
(图 1)



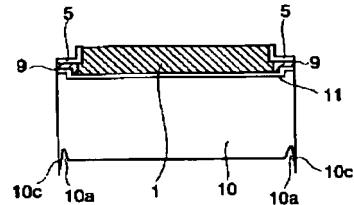
【図4】



【図7】

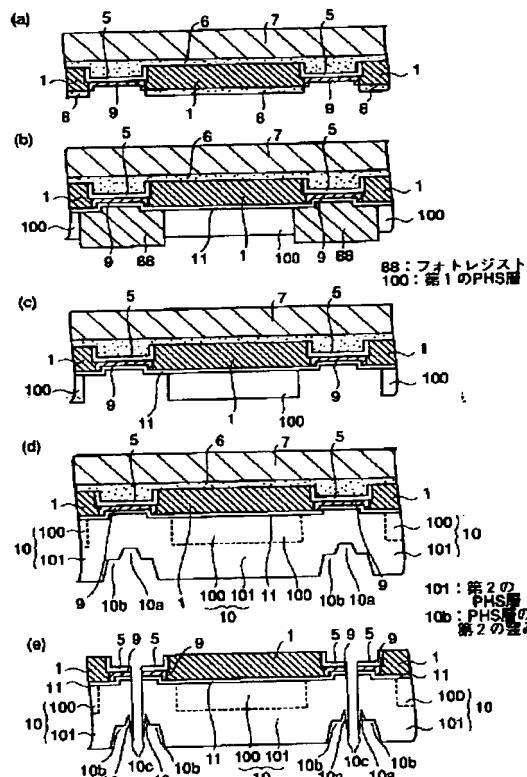


[図2]

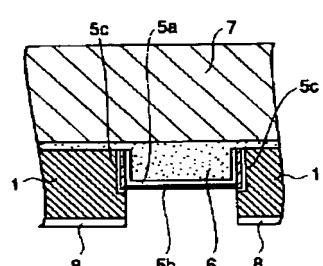


1：半導体基板（半導体チップ）
10c：PHS層のバリ

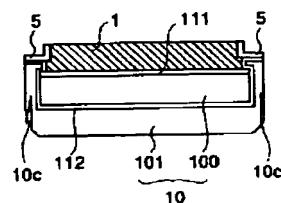
[図3]



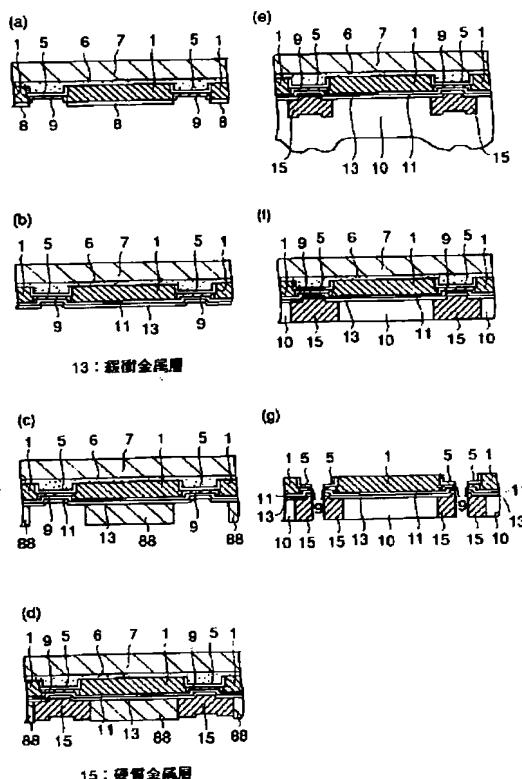
[圖 8]



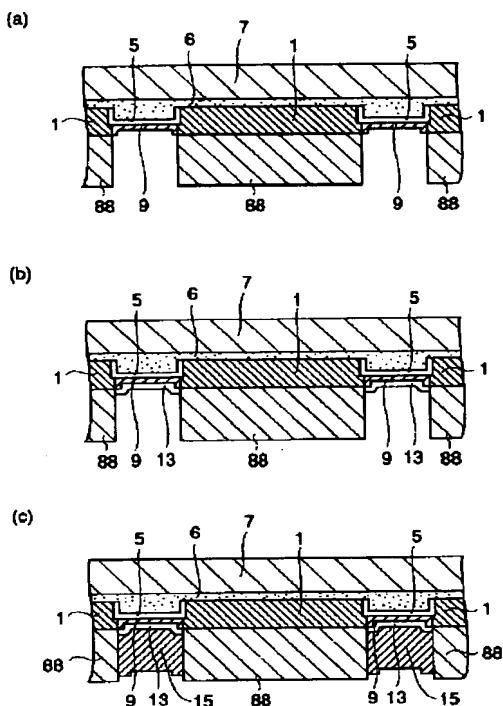
【図10】



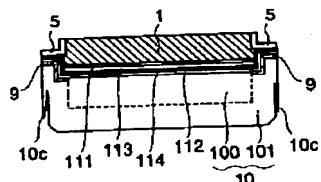
【図5】



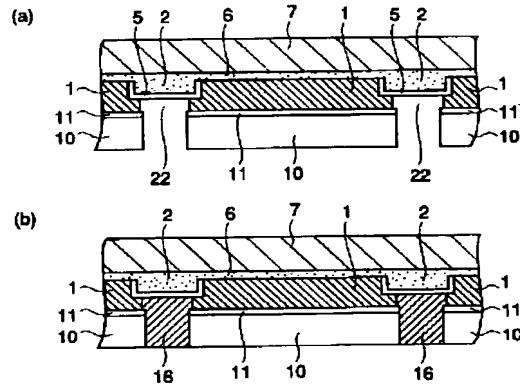
【図6】



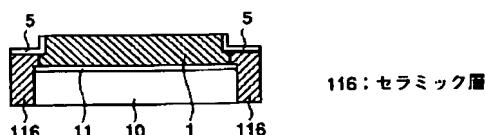
【図12】



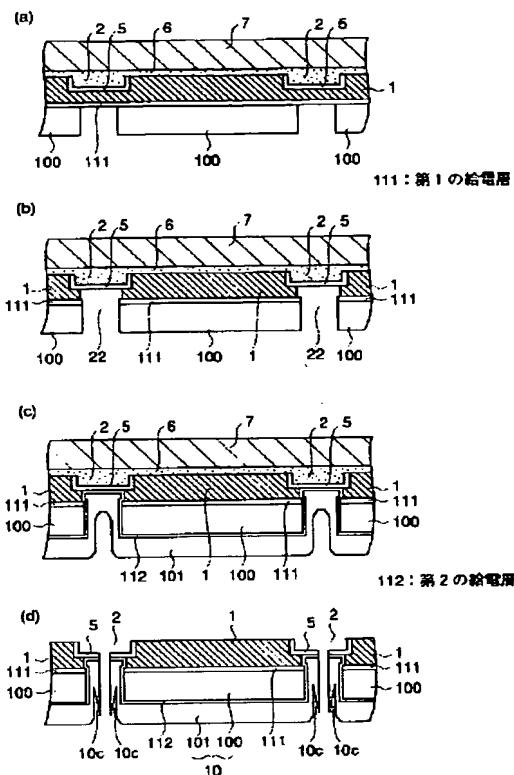
【図13】



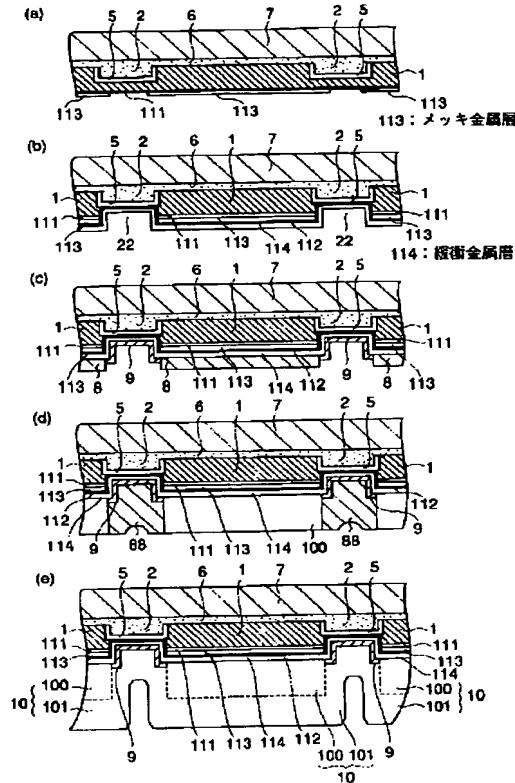
【図14】



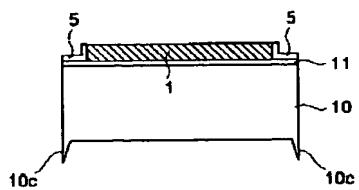
[図9]



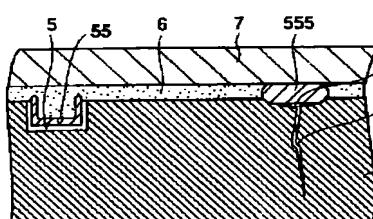
【図11】



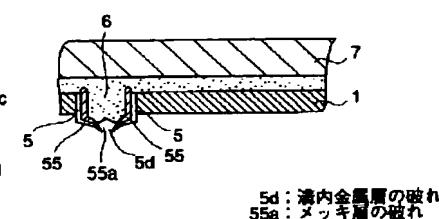
[図 16]



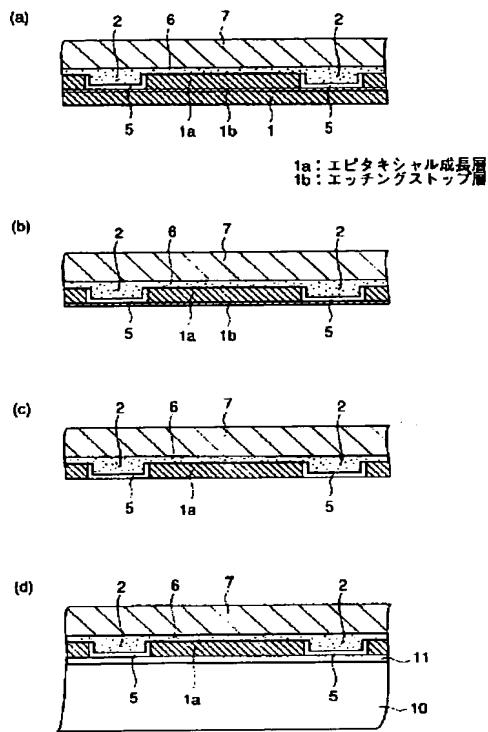
【图 18】



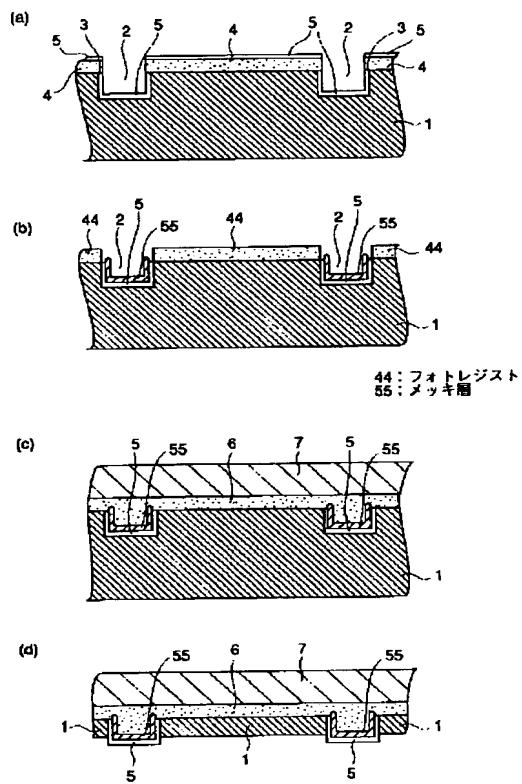
【図19】



【図15】



【図17】



【図20】

